
ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ И СИСТЕМЫ, ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА

УДК 004.052.32:681.518.5
DOI: 10.17586/0021-3454-2020-63-7-583-599

СИНТЕЗ СХЕМЫ ВСТРОЕННОГО КОНТРОЛЯ ДЛЯ МНОГОВЫХОДНЫХ КОМБИНАЦИОННЫХ УСТРОЙСТВ НА ОСНОВЕ ЛОГИЧЕСКОГО ДОПОЛНЕНИЯ И СЖАТИЯ СИГНАЛОВ

В. В. САПОЖНИКОВ¹, Вл. В. САПОЖНИКОВ¹, Д. В. ЕФАНОВ²

¹Петербургский государственный университет путей сообщения Императора Александра I,
190031, Санкт-Петербург, Россия

²Российский университет транспорта, 127994, Москва, Россия
E-mail: TrES-4b@yandex.ru

Обсуждаются вопросы построения устройств автоматики и вычислительной техники с самопроверяемыми структурами. Рассматривается возможность развития для этих целей известного метода логического дополнения, суть которого заключается в первоначальном преобразовании рабочих функций исходного устройства в функции специального вида и последующем контроле их по выбранному диагностическому признаку. Для реализации метода используется блок логического дополнения, образованный каскадом двухвходовых сумматоров по модулю два. Предложен подход, основанный на гибридном способе организации контроля: первоначально осуществляется сжатие сигналов, поступающих с нескольких выходов исходного устройства, а затем контроль сжатых сигналов по методу логического дополнения. Показано, что предложенный подход позволяет снизить структурную избыточность конечного устройства за счет уменьшения числа подсхем контроля. Приведен пример, подтверждающий эффективность применения нового подхода к организации самопроверяемых устройств: можно добиться построения устройства не только со структурной избыточностью, меньшей, чем при дублировании, но и соизмеримой и даже меньшей, чем при контроле по паритету.

Ключевые слова: самопроверяемая схема встроенного контроля, метод дублирования, метод контроля по паритету, логическое дополнение, равновесный код, сжатие сигналов, сложность технической реализации, структурная избыточность

Введение. В процессе построения систем и устройств автоматики и вычислительной техники осуществляется выбор способов и технических средств резервирования, диверсифицирования, безопасного поведения при отказах, тестового и рабочего диагностирования и др., которые обеспечивают требуемую надежность и безопасность [1—4]. Широко применяются принципы синтеза сбоеустойчивых систем и устройств [5—8], а также устройств, обладающих свойством обнаружения неисправностей при выполнении ими своих основных функций [9]. Данные мероприятия учитываются и применяются на всех уровнях архитектуры — от микроуровня (уровня компонентов и простейших узлов) до макроуровня (уровня целых функциональных блоков и подсистем).

При построении устройств, обладающих свойством обнаружения неисправностей, зачастую реализуются так называемые схемы встроенного контроля (СВК) [10]. Эти схемы строятся, как правило, самопроверяемыми относительно заданной модели неисправностей [11].

В процессе разработки СВК используются различные методы избыточного кодирования, в частности, нашли свое приложение блочные равномерные коды [12]. Их применяют при выборе способа реализации СВК, основываясь на имеющихся данных об объекте диагностирования и об ограничениях, накладываемых на процедуру синтеза. При необходимости максимального покрытия дефектов и отсутствии подробных данных о структуре объекта диагностирования применяют в основном метод дублирования, который заключается в использовании одинаковых по функционалу блоков с последующим сравнением сигналов на их одноименных выходах с помощью самопроверяемого компаратора [13]. При наличии данных о структуре объекта диагностирования могут применяться способы синтеза СВК, позволяющие снизить структурную избыточность конечного устройства. Такие способы основаны на применении кодов с малой избыточностью, к которым относятся разнообразные коды с суммированием и равновесные коды [14, 15].

Среди известных различных способов синтеза СВК с применением избыточных кодов традиционным является подход, основанный на вычислении контрольных разрядов кодовых слов блоком контрольной логики [16]. В работе [9], например, показана эффективность применения для обнаружения любых одиночных константных неисправностей кодов паритета, а в [17] — классических кодов Бергера [18]; совместное использование свойств этих кодов при построении СВК по специальным группам выходов рассматривается в [19]. Возможно применение и других кодов, например, с установленной путем взвешивания неравнозначностью разрядов [20]. Альтернативным подходом является использование метода логического дополнения, который заключается в преобразовании функций объекта диагностирования в некоторые функции специального вида (а не в их дополнении, как при использовании метода вычисления контрольных разрядов). Например, вектор функций объекта диагностирования может быть преобразован в кодовое слово заранее выбранного кода [21], каждая из функций может быть преобразована в самодвойственную функцию [22], а может быть использовано и то, и другое свойство [23]. Наиболее проработанными в теории синтеза СВК по методу логического дополнения являются вопросы применения равновесных кодов и их особенностей [24—27]. Основные преимущества метода логического дополнения связаны, прежде всего, с возможностью более гибкого выбора способа обеспечения полной самопроверяемости СВК, а также уменьшения сложности технической реализации блока контрольной логики за счет обоснованного подбора значений контрольных функций.

Настоящая статья посвящена описанию способа построения СВК по методу логического дополнения, позволяющего уменьшить, по сравнению с известными подходами, сложность технической реализации конечного устройства.

Синтез схем встроенного контроля на основе метода логического дополнения. Структура устройства, снабженного СВК, синтезированной на основе метода логического дополнения, представлена на рис. 1 (рабочие выходы схемы не показаны, выделена только контрольная часть).

Объектом диагностирования является исходное устройство $F(x)$, формирующее значения информационного вектора $\langle f_m f_{m-1} \dots f_2 f_1 \rangle$. В целях организации контроля корректности вычислений и, как следствие, организации косвенного контроля отсутствия/наличия неисправностей в структуре блока $F(x)$ реализуется его СВК. Выходы блока $F(x)$ подключаются к первым входам двухвходовых сумматоров по модулю два, осуществляющих преобразование значений информационного вектора в значения вектора $\langle h_m h_{m-1} \dots h_2 h_1 \rangle$, принадлежащего заранее выбранному равновесному коду (r/m -коду, где r — вес кодового вектора, m — длина его кодовых слов). Преобразование осуществляется с помощью блока контрольной логики

$G(x)$, формирующего значения разрядов контрольного вектора $\langle g_m g_{m-1} \dots g_2 g_1 \rangle$. Выходы блока $G(x)$ подключаются ко вторым входам двухвходовых сумматоров по модулю два в каскаде элементов преобразования. На этапе проектирования СВК значения функций $g_1, g_2, \dots, \dots, g_{m-1}, g_m$ выбираются таким образом, чтобы при поступлении каждой входной комбинации рабочие функции $f_1, f_2, \dots, f_{m-1}, f_m$ преобразовывались в функции $h_1, h_2, \dots, h_{m-1}, h_m$, значения которых формируют кодовое слово $\langle h_m h_{m-1} \dots h_2 h_1 \rangle$. Контроль этого соответствия осуществляется с помощью тестера равновесного кода (r/m -TSC), имеющего, как правило, два контрольных выхода z^0 и z^1 . Если кодовое слово $\langle h_m h_{m-1} \dots h_2 h_1 \rangle$ принадлежит выбранному равновесному коду и тестер данного кода исправен, то на его выходах формируется парафазный сигнал $\langle z^0 z^1 \rangle = \langle 01 \rangle$ или $\langle z^0 z^1 \rangle = \langle 10 \rangle$. Неисправности, возникающие в блоках $F(x)$, $G(x)$ и сумматорах по модулю два, искажают значения функций $h_1, h_2, \dots, h_{m-1}, h_m$ и нарушают принадлежность кодового слова $\langle h_m h_{m-1} \dots h_2 h_1 \rangle$ выбранному r/m -коду. Это фиксируется тестером, на выходах которого формируется непарафазный сигнал $\langle z^0 z^1 \rangle = \langle 00 \rangle$ или $\langle z^0 z^1 \rangle = \langle 11 \rangle$, свидетельствующий о наличии ошибок в вычислениях. Тестер r/m -TSC реализуется в виде полностью самопроверяемого устройства, неисправности которого гарантированно не позволяют установить верные значения на его выходах и приводят к установлению непарафазного значения при поступлении хотя бы одного входного набора [28].

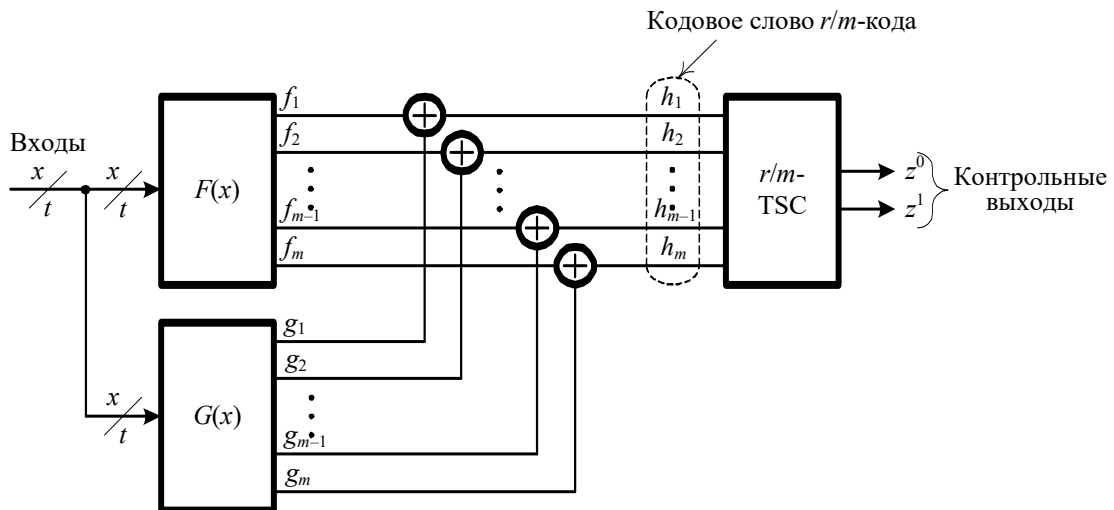


Рис. 1

Для того чтобы структура системы, приведенной на рис. 1, была полностью самопроверяемой относительно заданной модели неисправностей, устройство $F(x)$ должно быть проверяемым, а СВК — полностью самопроверяемой. В соответствии с первым условием требуется проявление любой неисправности из заданного класса в виде искажений на выходах устройства $F(x)$ хотя бы на одной входной комбинации [11]. Согласно второму условию блок $G(x)$ должен быть проверяемым, элементы сложения по модулю два — полностью самопроверяемыми, тестер выбранного кода — также полностью самопроверяемым. Особенности обеспечения полной самопроверяемости структуры устройства, снабженного СВК, реализованной по методу логического дополнения до равновесных кодов, изложены в работе [29]. Далее в статье вопрос обеспечения самопроверяемости структур устройств, снабженных СВК, не рассматривается, а исследуется проблема снижения структурной избыточности СВК и конечного устройства, а также обнаружения ошибок на выходах блока $F(x)$.

При синтезе устройств по структуре, приведенной на рис. 1, в целях упрощения процедуры обеспечения ее полной самопроверяемости целесообразно применять контроль не по полному множеству выходов устройства $F(x)$, а по его подмножествам [30]. Для каждого такого подмножества синтезируется СВК. Выходы каждой из СВК объединяются на входах

самопроверяемого компаратора для получения одной пары контролируемых и наблюдаемых выходов. Такой подход к организации СВК обуславливается возможностями упрощения самой процедуры синтеза и уменьшения сложности тестера — чем больше длина кодового слова, тем сложнее и сам тестер, а также больше множество тестовых комбинаций, необходимых для его полной проверки [28].

В работе [31] показано, что при организации СВК наиболее эффективным является использование кодов с малой длиной кодовых слов. К таким кодам относятся, например, 1/4- и 2/4-коды, для полной проверки тестеров которых требуется подать на входы всего четыре кодовых слова. При этом тестеры данных кодов обладают наиболее простыми структурами. При использовании 1/4- и 2/4-кодов выходы исходного устройства разбиваются на группы по четыре выхода в каждой (группы могут иметь и повторяющиеся выходы).

Достоинство описанного выше способа синтеза СВК заключается в простоте обеспечения полной самопроверяемости конечного устройства и в возможности снижения его структурной избыточности за счет подбора значений контрольных функций. Недостатком же является необходимость для каждой „четверки“ выходов блока $F(x)$ синтезировать свою СВК, содержащую свой блок контрольной логики и тестер выбранного кода.

Уменьшить структурную избыточность конечного устройства можно за счет реализации первоначального сжатия сигналов, как это показано на рис. 2. Выходы устройства, по-прежнему, разбиваются на группы по четыре выхода в каждой, а затем в схеме контроля объединяются на входах n -входовых элементов сложения по модулю два (здесь n — число „четверок“ выходов исходного устройства), реализующих функции $\varphi_1, \varphi_2, \varphi_3, \varphi_4$. Далее эти функции преобразуются с помощью функций g_1, g_2, g_3, g_4 в контролируемые тестером равновесного кода функции h_1, h_2, h_3, h_4 . Для преобразования используется каскад двухвходовых сумматоров по модулю два (на рис. 2 их показано четыре). Однако при контроле вычислений по 1/4-коду требуется максимально не более трех элементов сложения по модулю два, а при контроле по 2/4-коду — двух элементов сложения по модулю два [31].

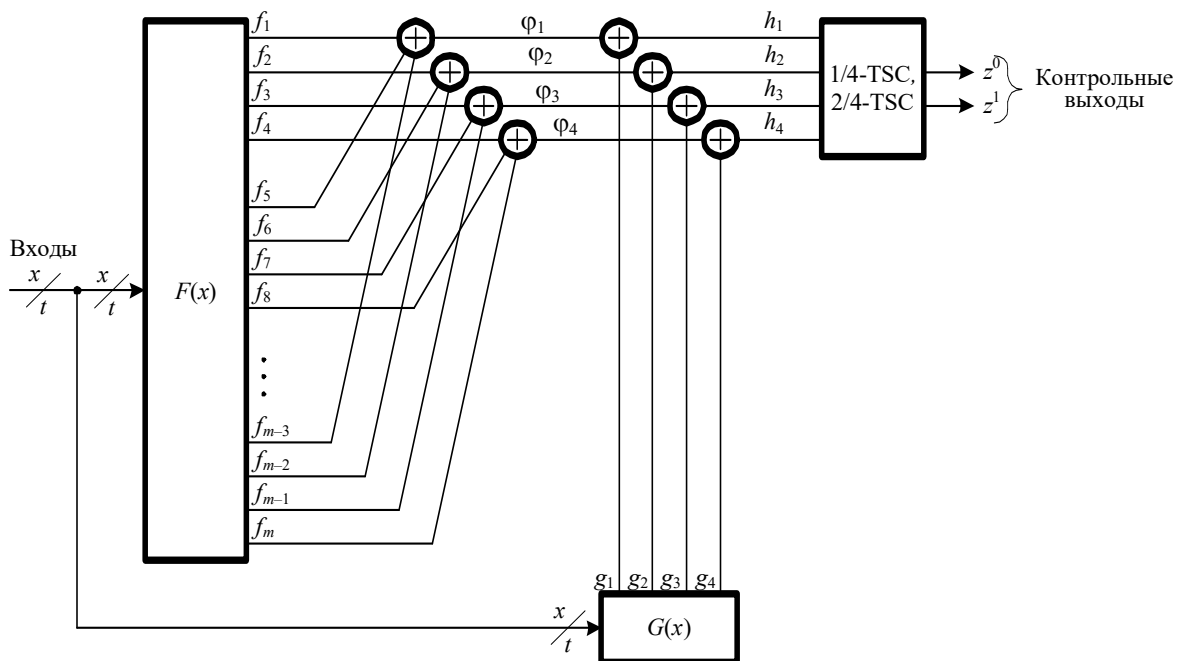


Рис. 2

Можно сказать, что на рис. 2 изображена так называемая структура гибридной схемы контроля, в которой первоначально осуществляется свертка по модулю два ряда значений рабочих функций устройства $F(x)$, а затем уже реализуется схема контроля вычислений полученных сверток по методу логического дополнения. В этом случае не требуется обустройство n схем контроля, как при групповом контроле по „четверкам“ выходов устройства $F(x)$.

Пример реализации схемы встроенного контроля. Продемонстрируем эффективность применения предложенных структур на примере реализации СВК для комбинационного устройства, функции которого задаются в табличной форме (табл. 1). Данное устройство имеет четыре входа и двенадцать выходов.

Таблица 1

№ п/п	x_1	x_2	x_3	x_4	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}	f_{11}	f_{12}	f_p
0	0	0	0	0	1	0	1	0	1	0	0	1	0	1	0	1	0
1	0	0	0	1	0	0	0	1	1	1	1	0	0	1	0	0	1
2	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1	1	1
3	0	0	1	1	1	1	0	0	0	1	0	1	1	1	1	1	0
4	0	1	0	0	1	0	0	0	0	1	0	0	1	0	0	0	1
5	0	1	0	1	0	0	0	1	1	0	1	0	1	1	0	0	1
6	0	1	1	0	1	0	1	1	0	0	1	1	0	1	1	1	0
7	0	1	1	1	1	0	1	1	1	1	0	1	1	1	0	0	0
8	1	0	0	0	1	1	0	0	0	1	0	0	1	0	0	0	0
9	1	0	0	1	0	1	0	0	0	1	0	0	0	0	0	1	1
10	1	0	1	0	0	0	1	1	1	0	0	1	0	1	0	0	1
11	1	0	1	1	0	1	1	0	1	0	1	0	1	0	1	0	0
12	1	1	0	0	1	0	1	1	1	1	1	0	1	1	0	1	1
13	1	1	0	1	0	0	0	0	0	0	1	1	0	0	0	0	0
14	1	1	1	0	1	0	0	1	0	1	1	0	1	0	0	0	1
15	1	1	1	1	1	0	0	1	1	1	0	0	1	1	1	0	1

Построение СВК можно осуществить несколькими методами [12]. Остановимся на рассмотрении методов дублирования, контроля по паритету, а также предложенного метода контроля на основе логического дополнения до 1/4- и 2/4-кодов со сжатием сигналов. Выбор таких способов обусловлен спецификой их реализации: схемы дублирования и контроля по паритету являются типовыми [9]. Как правило, новые структуры целесообразно сравнивать по различным показателям именно с ними [32].

Минимизация функций $f_1 \div f_{12}$ методом Карно дает следующий результат:

$$\begin{aligned}
 f_1 &= \overline{x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3}; \\
 f_2 &= \overline{x_1 x_2 x_3} \vee \overline{x_2 x_3 x_4}; \\
 f_3 &= \overline{x_1 x_2 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_1 x_2 x_3}; \\
 f_4 &= \overline{x_1 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_2 x_3} \vee \overline{x_1 x_2 x_4}; \\
 f_5 &= \overline{x_1 x_2 x_3} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_1 x_2 x_3 x_4}; \\
 f_6 &= \overline{x_2 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_1 x_3 x_4}; \\
 f_7 &= \overline{x_1 x_2 x_3} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4}; \\
 f_8 &= \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_2 x_3}; \\
 f_9 &= \overline{x_1 x_2 x_3} \vee \overline{x_1 x_3 x_4} \vee \overline{x_3 x_4} \vee \overline{x_1 x_2 x_3}; \\
 f_{10} &= \overline{x_1 x_2 x_3} \vee \overline{x_2 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_2 x_3 x_4}; \\
 f_{11} &= \overline{x_1 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_3 x_4}; \\
 f_{12} &= \overline{x_1 x_2 x_3} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_2 x_4}.
 \end{aligned}$$

Можно оценить сложность реализации устройства $F(x)$ числом символов (букв логического выражения), входящих в формульные записи: $L = 159$. Следует, однако, заметить, что функции $f_1 \div f_{12}$ минимизировались по отдельности и не применялась скобочная форма, позволяющая уменьшить число символов. Кроме того, функции $f_1 \div f_{12}$ могут быть минимизированы как система функций, что еще больше сократит число символов. „Ручная“ минимизация системы функций весьма трудоемка, и целесообразно воспользоваться автоматизированными средствами, например, известным интерпретатором SIS [33, 34]. При оценке средствами SIS минимизация функций $f_1 \div f_{12}$ как системы позволяет получить описание устройства, содержащее 93 символа (оптимизация осуществлялась с помощью процедуры full_simplify).

Оценим сложность СВК на основе дублирования (рис. 3) с учетом того, что сложность инвертора $L_{inv} = 1$, а сложность модуля сжатия парафазных сигналов (Two-Rail Checker — TRC) — $L_{TRC} = 12$ [35]. Число инверторов для реализации СВК равно 12, а число модулей сжатия парафазных сигналов — 11. Отсюда следует, что сложность данной части схемы (схемы контроля) определяется величиной $L_{СК} = 140$. Суммарная сложность блоков $F(x)$ и $F^*(x)$ равна 318 (186 при оптимизации в SIS). В результате СВК на основе дублирования будет иметь сложность $L_D = 458$ (при оптимизации структур блоков $F(x)$ и $F^*(x)$ — $L_D = 326$). При обоих вариантах реализации в схеме будут обнаруживаться любые неисправности блока $F(x)$, проявляющиеся на его выходах в виде искажений сигналов.

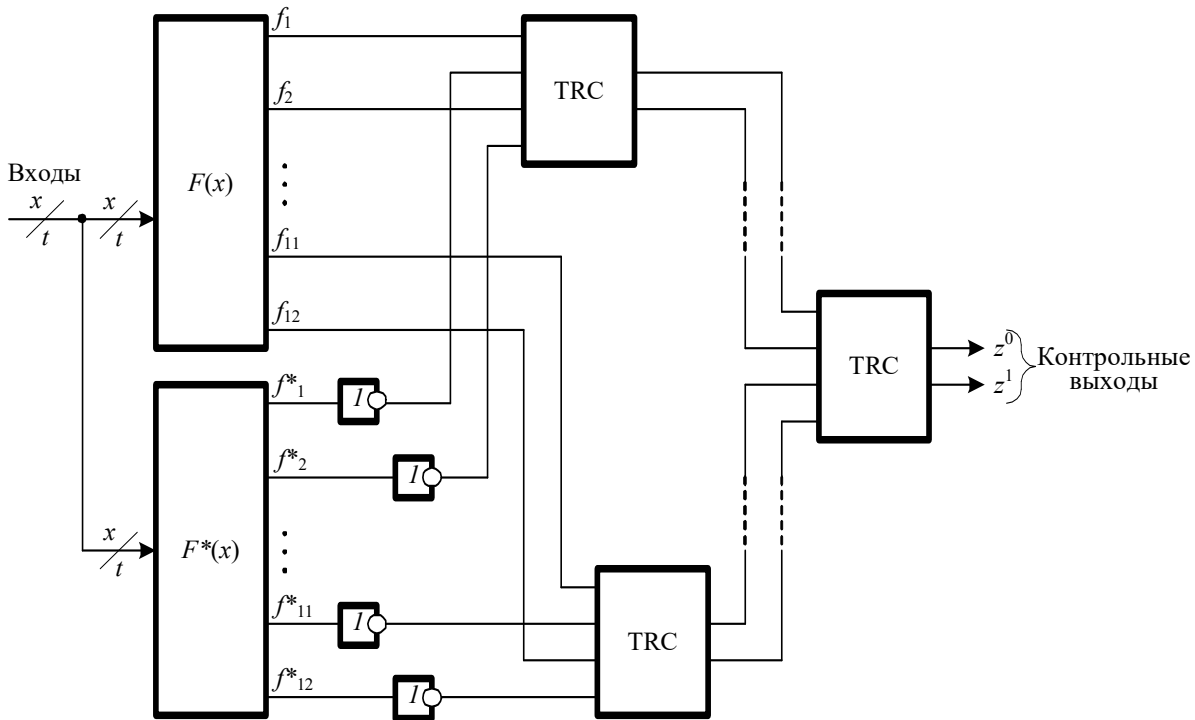


Рис. 3

Определим сложность СВК на основе паритета (рис. 4). Здесь используется схемное решение, реализующее функцию свертки по модулю два значений всех выходных функций блока $F(x)$. Сложность элемента сложения по модулю два составляет $L_{\oplus} = 6$, число элементов равно 11. Таким образом, сложность данной части схемы равна 66. Минимизируя функцию f_p (ее значения приведены в последней графе табл. 1), получаем выражение в дизъюнктивной нормальной форме (ДНФ):

$$f_p = \overline{x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3}.$$

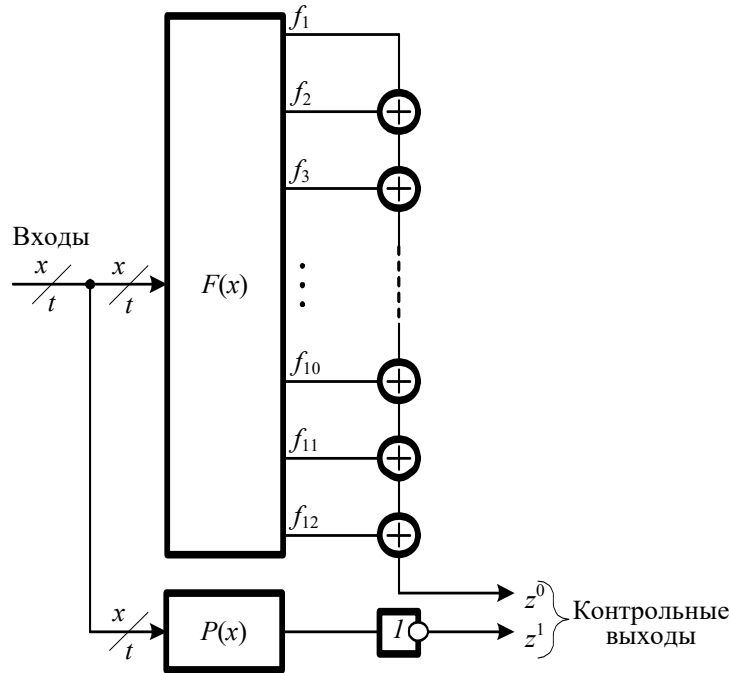


Рис. 4

Сложность блока $P(x)$ оценивается величиной $L_{f_p} = 15$ (как и при оптимизации в SIS). Общая сложность СВК на основе паритета равна $L_p = 241$ (при оптимизации блока $F(x)$ — $L_p = 175$). В первом случае в данной структуре обнаруживаются любые неисправности блока $F(x)$, так как каждая его функция реализуется отдельно; во втором случае любая неисправность, вызывающая ошибку при четном числе выходов, не обнаруживается.

Структура СВК на основе логического дополнения (Boollian Complement — BC) до 1/4-кода со сжатием для данного примера приведена на рис. 5. Тестер 1/4-кода (1/4-TSC) имеет стандартную структуру, описываемую формулами [28, 31]

$$z^0 = (h_1 \vee h_2 \vee h_4)(h_2 \vee h_3 \vee h_4) \text{ и } z^1 = (h_1 \vee h_2 \vee h_3)(h_1 \vee h_3 \vee h_4),$$

ее сложность составляет $L_{1/4\text{-TSC}} = 12$. Используя данные табл. 2, получаем выражения в ДНФ, описывающие функции g_2, g_3 и g_4 блока контрольной логики СВК по 1/4-коду:

$$g_1 = 0;$$

$$g_2 = \overline{x_1 x_2} \vee \overline{x_2 x_3} \vee \overline{x_1 x_3 x_4};$$

$$g_3 = \overline{x_1 x_2 x_3} \vee \overline{x_1 x_3 x_4} \vee \overline{x_2 x_3} \vee \overline{x_1 x_3};$$

$$g_4 = \overline{x_3 x_4} \vee \overline{x_1 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_3 x_4}.$$

Сложность реализации блока контрольной логики оценивается величиной $L_{G(x)} = 27$ (при оптимизации в SIS — $L_{G(x)} = 27$). Отсюда следует, что общая сложность технической реализации СВК по предложенной на рис. 5 структуре без оптимизации блока $F(x)$ равна $L_{1/4\text{BC}} = 264$ и при его оптимизации — $L_{1/4\text{BC}} = 198$. В первом случае в структуре обнаруживаются любые неисправности блока $F(x)$, а во втором не будут обнаружены только некоторые двукратные симметричные ошибки [29]. Таким образом, структура СВК на основе логического дополнения позволяет обнаруживать большее количество ошибок, чем структура контроля по паритету.

Таблица 2

№ п/п	x_1	x_2	x_3	x_4	φ_1	φ_2	φ_3	φ_4	h_1	h_2	h_3	h_4	g_1	g_2	g_3	g_4
0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	1	0
1	0	0	0	1	1	0	1	1	1	0	0	0	0	0	1	1
2	0	0	1	0	0	0	0	1	0	1	0	0	0	1	0	1
3	0	0	1	1	0	1	1	0	0	0	1	0	0	1	0	0
4	0	1	0	0	0	1	0	0	0	1	0	0	0	0	0	0
5	0	1	0	1	0	1	1	1	0	1	0	0	0	0	1	1
6	0	1	1	0	1	1	1	1	1	0	0	0	0	1	1	1
7	0	1	1	1	1	0	1	0	1	0	0	0	0	0	1	0
8	1	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0
9	1	0	0	1	0	0	0	1	0	1	0	0	0	1	0	1
10	1	0	1	0	1	1	1	0	1	0	0	0	0	1	1	0
11	1	0	1	1	0	1	1	0	0	0	0	1	0	1	1	1
12	1	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0
13	1	1	0	1	0	0	1	1	0	0	1	0	0	0	0	1
14	1	1	1	0	0	1	1	1	0	1	0	0	0	0	1	1
15	1	1	1	1	1	0	1	1	1	0	0	0	0	0	1	1

Таблица 3

№ п/п	x_1	x_2	x_3	x_4	φ_1	φ_2	φ_3	φ_4	h_1	h_2	h_3	h_4	g_1	g_2	g_3	g_4
0	0	0	0	0	0	1	1	0	0	1	0	1	0	0	1	1
1	0	0	0	1	1	0	1	1	1	0	0	1	0	0	1	0
2	0	0	1	0	0	0	0	1	0	0	1	1	0	0	1	0
3	0	0	1	1	0	1	1	0	0	1	0	1	0	0	1	1
4	0	1	0	0	0	1	0	0	0	1	1	0	0	0	1	0
5	0	1	0	1	0	1	1	1	0	1	0	1	0	0	1	0
6	0	1	1	0	1	1	1	1	1	1	0	0	0	0	1	1
7	0	1	1	1	1	0	1	0	1	0	0	1	0	0	1	1
8	1	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1
9	1	0	0	1	0	0	0	1	0	0	1	1	0	0	1	0
10	1	0	1	0	1	1	1	0	1	1	0	0	0	0	1	0
11	1	0	1	1	0	1	1	0	0	1	0	1	0	0	1	1
12	1	1	0	0	1	0	0	0	1	0	0	1	0	0	0	1
13	1	1	0	1	0	0	1	1	0	0	1	1	0	0	0	0
14	1	1	1	0	0	1	1	1	0	1	1	0	0	0	0	1
15	1	1	1	1	1	0	1	1	1	0	1	0	0	0	0	1

Аналогично рассмотрим СВК на основе логического дополнения до 2/4-кода со сжатием (рис. 6).

Выходы тестера 2/4-кода (2/4-TSC) описываются выражениями [28, 31]

$$z^0 = h_1 h_2 \vee h_3 h_4 \text{ и } z^1 = (h_1 \vee h_2)(h_3 \vee h_4),$$

его сложность составляет $L_{2/4-TSC} = 8$.

Используя данные табл. 3, получаем функции g_3 и g_4 блока контрольной логики схемы контроля по 2/4-коду:

$$g_1 = 0;$$

$$g_2 = 0;$$

$$g_3 = \overline{x_1} \vee \overline{x_2};$$

$$g_4 = \overline{x_1 x_3 x_4} \vee \overline{x_3 x_4} \vee \overline{x_2 x_3} \vee \overline{x_2 x_3 x_4}.$$

Сложность блока контрольной логики равна $L_{G(x)} = 12$ (при оптимизации в SIS — $L_{G(x)} = 11$). Исходя из этого общая сложность технической реализации СВК по предложенной на рис. 6 структуре без оптимизации блока $F(x)$ равна $L_{2/4BC} = 239$ и при его оптимизации — $L_{2/4BC} = 172$. Как и при контроле исходного устройства по 1/4-коду, в рассматриваемой структуре без оптимизации блока $F(x)$ обнаруживаются любые его неисправности. При использовании оптимизированного блока $F(x)$ не будут обнаружены только некоторые двукратные симметричные ошибки и все четырехкратные [24]. Аналогично, число обнаруживаемых ошибок в этой схеме контроля больше, чем при контроле по паритету.

Для сравнения на рис. 7 и 8 приведены СВК, синтезированные по методу логического дополнения с классическим разбиением выходов на группы и их контролем с помощью отдельных подсхем. Сравнительный анализ структур, изображенных на рис. 5 и 7, а также структур на рис. 6 и 8, показывает очевидно большую сложность последних, как и более значительное число обнаруживаемых в этих структурах ошибок.

Полученные данные о сложности реализации различных СВК сведены в табл. 4, где приведены абсолютный показатель сложности L , а также два относительных показателя: δ и ρ — отношения сложности реализации СВК к сложности схемы контроля на основе дублирования и паритета соответственно. Отметим, что в обоих случаях использования новых структур со сжатием сигналов, как на основе 1/4-кода, так и на основе 2/4-кода, сложность технической реализации оказывается меньшей, чем при методе дублирования. Использование же 2/4-кода позволяет незначительно уменьшить сложность реализации самопроверяемого устройства и по сравнению с методом паритета.

Отметим также, что если блок $F(x)$ не оптимизируется, то во всех СВК обнаруживаются любые ошибки на его выходах. При использовании оптимизированного блока $F(x)$ некоторая доля ошибок не обнаруживается при контроле по паритету и по равновесным кодам. При этом в схеме встроенного контроля по равновесным кодам обнаруживается большее количество ошибок, чем в СВК по паритету, что определяется диагностическими способностями кодов, лежащих в их основе [12].

Таблица 4

Показатель	L_D	L_P	$L_{1/4BC}$	$L_{2/4BC}$	L_D	L_P	$L_{1/4BC}$	$L_{2/4BC}$
	Без оптимизации блока $F(x)$				С оптимизацией блока $F(x)$			
L	458	241	264	239	326	175	198	172
$\delta, \%$	100	52,62	57,642	52,183	100	53,681	60,736	52,761
$\rho, \%$	190,041	100	109,544	99,17	186,286	100	113,143	98,286

Следует отметить, что при реализации самопроверяемого устройства по предложенной структурной схеме (см. рис. 2) может быть использовано не сжатие всех сигналов, поступающих с выходов устройства $F(x)$, в четыре сигнала функций $\varphi_1, \varphi_2, \varphi_3, \varphi_4$, а построение нескольких схем контроля по данному принципу с последующим объединением контрольных выходов на входах самопроверяемого компаратора.

Такой подход целесообразен в случаях, когда единичное сжатие всех сигналов в „четверку“ $\varphi_1, \varphi_2, \varphi_3, \varphi_4$ не позволяет достичь требуемой обнаруживающей способности. Например, на рис. 9 показан один из вариантов организации схемы встроенного контроля с первоначальным разбиением выходов устройства $F(x)$ на две группы.

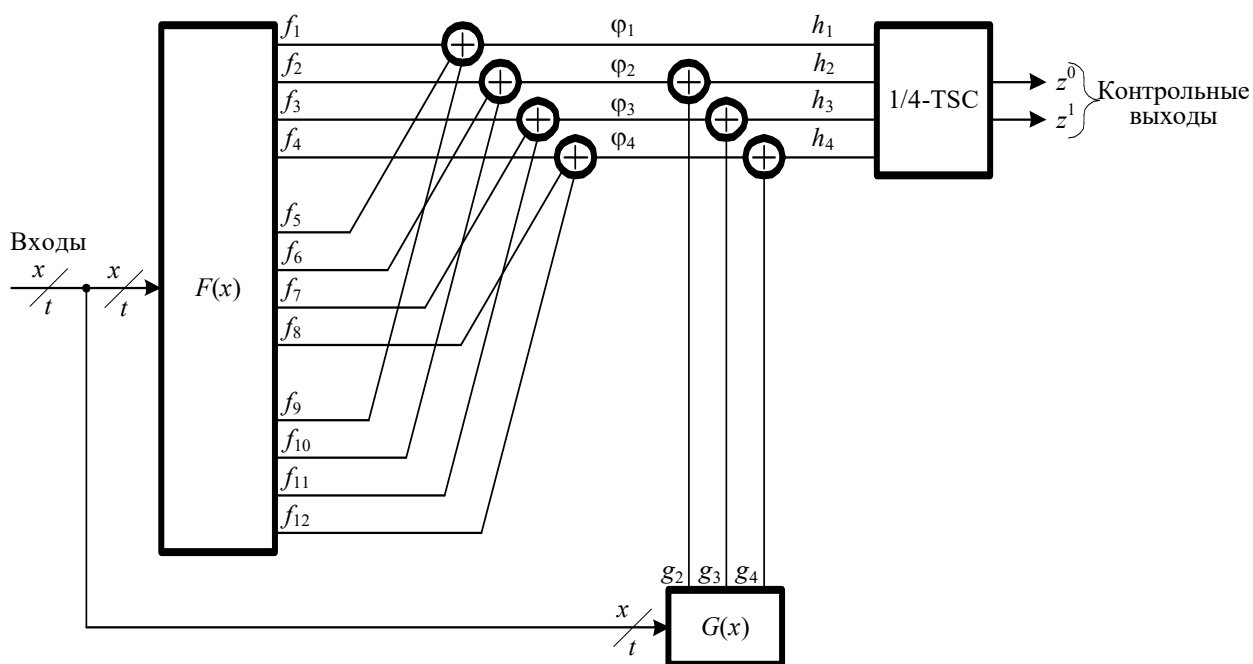


Рис. 5

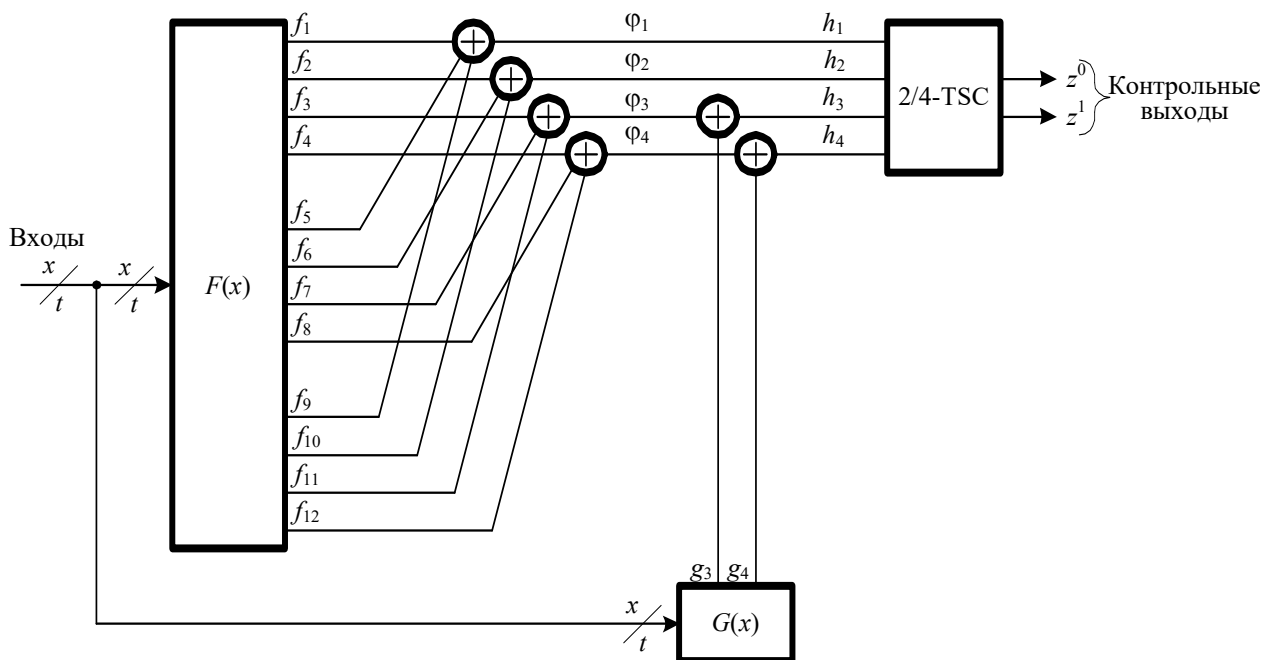


Рис. 6

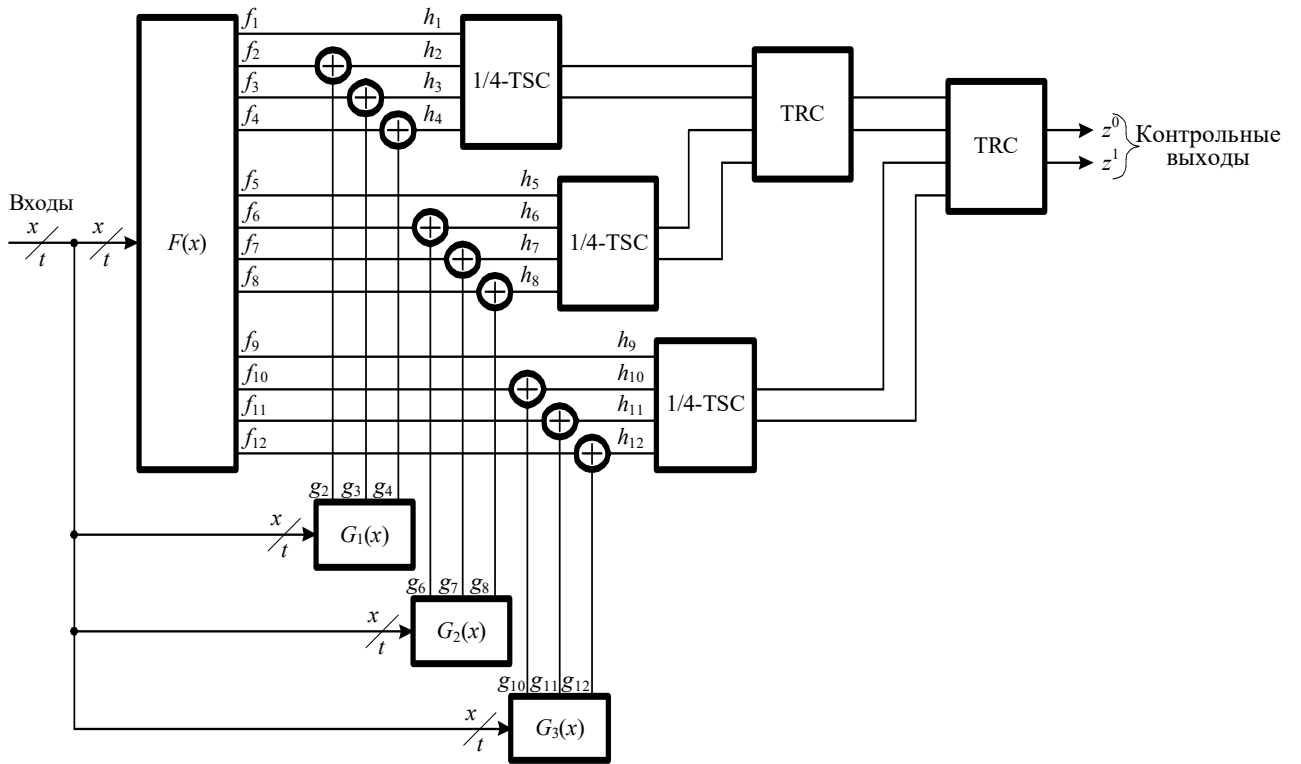


Рис. 7

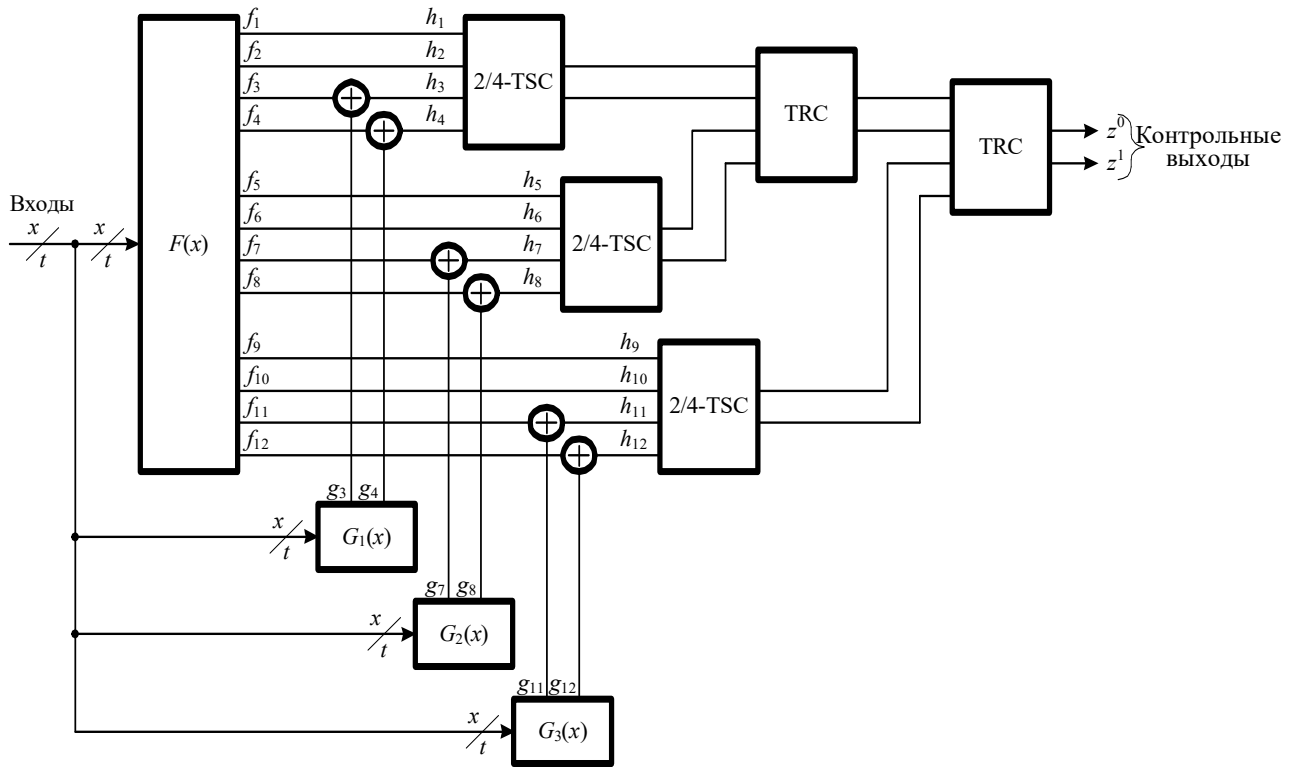


Рис. 8

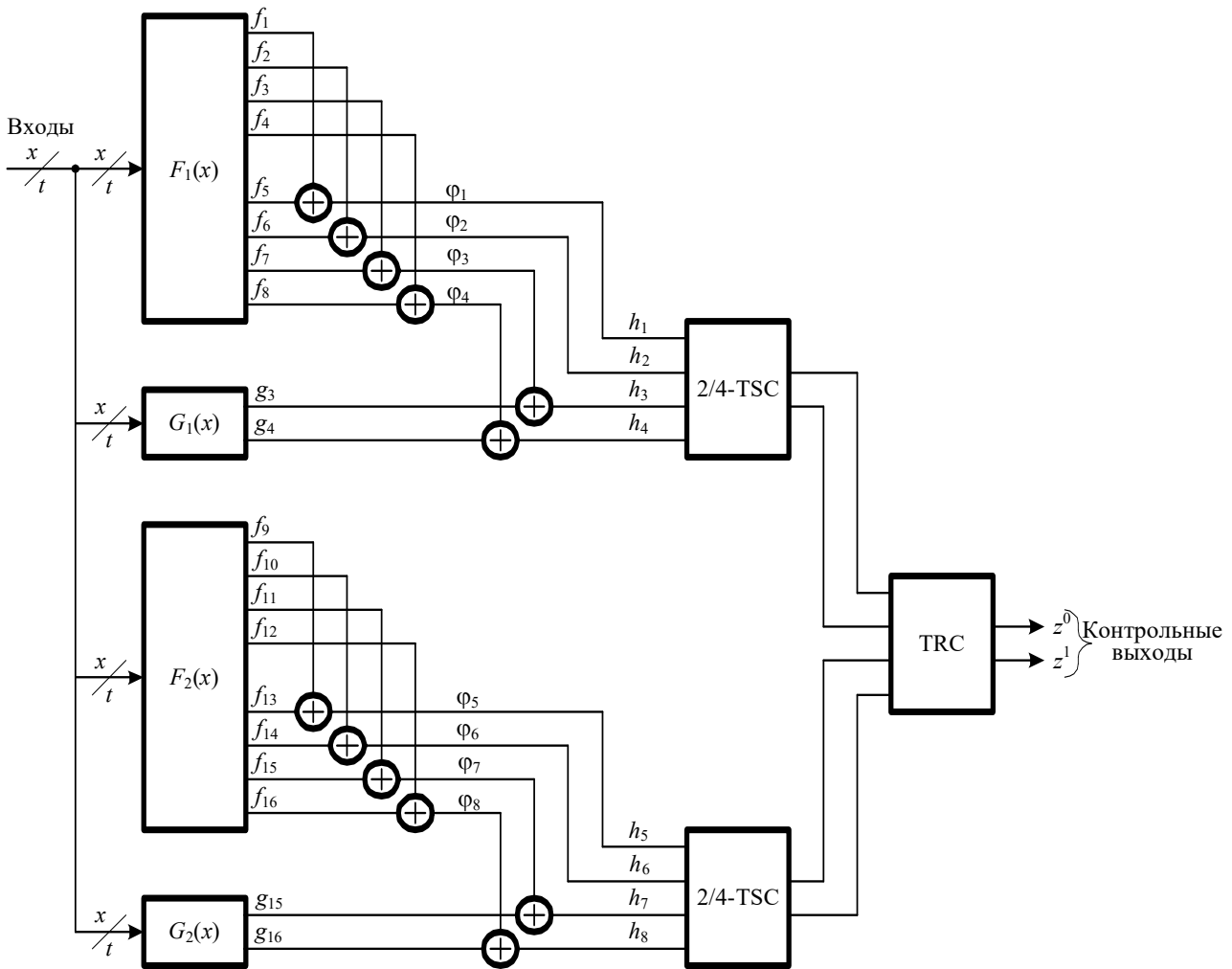


Рис. 9

Заключение. Представленный в работе подход к построению самопроверяемых много-выходных устройств на основе метода логического дополнения со сжатием сигналов позволяет упростить структуры конечных устройств за счет уменьшения числа элементов схем контроля. Недостатком подхода является возможное увеличение числа необнаруживаемых ошибок на выходах устройства $F(x)$ при сжатии сигналов. Однако данный аспект может быть учтен на этапе выбора сжимаемых сигналов. К примеру, может быть осуществлен поиск специальных групп выходов, допускающих только одиночные искажения (групп независимых выходов), или групп выходов, допускающих одновременные искажения только с большой кратностью, при этом осуществляется свертка их сигналов. Методы поиска таких групп описаны в [36], а также в других работах, приведенных в списке литературы.

Следует подчеркнуть, что возможны разнообразные разбиения выходов на группы, сжатие от двух до нескольких сигналов на элементах сложения по модулю два, выделение не „четверок“ выходов, а „троек“ с дополнительным контролем по методу [37] и т.д. Число способов организации СВК, таким образом, является существенным.

Метод логического дополнения дает разработчику СВК более широкое поле выбора способов ее реализации и позволяет не только синтезировать более простые структуры, чем при использовании традиционных подходов к решению этой задачи, но и обеспечивать свойство полной самопроверяемости даже в тех случаях, когда этого при их применении добиться невозможно. Данный метод может найти широкое применение при синтезе СВК для устройств, реализуемых на современной и разрабатываемой программируемой элементной базе,

а его использование является эффективным подходом к построению самопроверяемых устройств автоматики и вычислительной техники.

СПИСОК ЛИТЕРАТУРЫ

1. Сапожников В. В., Сапожников Вл. В., Христов Х. А., Гавзов Д. В. Методы построения безопасных микроэлектронных систем железнодорожной автоматики / Под ред. Вл. В. Сапожникова. М.: Транспорт, 1995. 272 с.
2. Smith D. J., Simpson K. G. L. Functional Safety: A Straightforward Guide to IEC 61508 and Related Standards. Butterworth-Heinemann, 2001. 208 p.
3. Дрозд А. В., Харченко В. С., Антощук С. Г., Дрозд Ю. В., Дрозд М. А., Сулима Ю. Ю. Рабочее диагностирование безопасных информационно-управляющих систем // Под ред. А. В. Дрозда и В. С. Харченко. Харьков: Нац. аэрокосм. ун-т им. Н. Е. Жуковского „ХАИ“, 2012. 614 с.
4. Kharchenko V., Kondratenko Yu., Kasprzyk J. Green IT Engineering: Concepts, Models, Complex Systems Architectures // "Studies in Systems, Decision and Control": Springer Book Series. 2017. Vol. 74. 305 p. DOI: 10.1007/978-3-319-44162-7.
5. Щербаков Н. С. Достоверность работы цифровых устройств. М.: Машиностроение, 1989. 224 с.
6. Стемпковский А. Л., Тельпухов Д. В., Жукова Т. Д., Гуров С. И., Соловьев Р. А. Методы синтеза сбоеустойчивых комбинационных КМОП схем, обеспечивающих автоматическое исправление ошибок // Изв. ЮФУ. Технические науки. 2017. № 7 (192). С. 197—210. DOI: 10.23683/2311-3103-2017-7-197-210.
7. Sogomonyan E. S. Self-Correction Fault-Tolerant Systems [Электронный ресурс]: <https://www.researchgate.net/publication/328578644_Self-Correction_Fault-Tolerant_Systems>.
8. Dug M., Weidling S., Sogomonyan E. S., Jokic D., Krstic M. Full error detection and correction method applied on pipelined structure using two approaches // J. of Circuits, Systems and Computers. 2020, January. P. 1—16. DOI: 10.1142/S0218126620502187.
9. Согомонян Е. С., Слабаков Е. В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 208 с.
10. Слабаков Е. В., Согомонян Е. С. Самопроверяемые вычислительные устройства и системы (обзор) // Автоматика и телемеханика. 1981. № 11. С. 147—167.
11. Пархоменко П. П., Согомонян Е. С. Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратурные средства). М.: Энергоатомиздат, 1981. 320 с.
12. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды Хэмминга в системах функционального контроля логических устройств. СПб: Наука, 2018. 151 с.
13. Гессель М., Согомонян Е. С. Самопроверяемая схема сравнения (компаратор) // Автоматика и телемеханика. 1992. № 10. С. 135—141.
14. Piestrak S. J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. 111 p.
15. Mitra S., McCluskey E. J. Which concurrent error detection scheme to choose? // Proc. of the Intern. Test Conf., Atlantic City, NJ, USA, 3—5 Oct. 2000. P. 985—994.
16. Nicolaidis M., Zorian Y. On-line testing for VLSI — A compendium of approaches // J. of Electronic Testing: Theory and Applications. 1998. N 12. P. 7—20.
17. Гессель М., Морозов А. А., Сапожников В. В., Сапожников Вл. В. Построение комбинационных самопроверяемых устройств с монотонно независимыми выходами // Автоматика и телемеханика. 1994. № 7. С. 148—160.
18. Berger J. M. A note on error detection codes for asymmetric channels // Information and Control. 1961. Vol. 4, iss. 1. P. 68—73. DOI: 10.1016/S0019-9958(61)80037-5.
19. Гессель М., Морозов А. А., Сапожников В. В., Сапожников Вл. В. Исследование комбинационных самопроверяемых устройств с независимыми и монотонно независимыми выходами // Автоматика и телемеханика. 1997. № 2. С. 180—193.

20. *Das D., Touba N. A., Seuring M., Gossel M.* Low cost concurrent error detection based on modulo weight-based codes // Proc. of the 6th IEEE Intern. On-Line Testing Workshop (IOLTW), Palma de Mallorca, Spain, 3—5 July, 2000. P. 171—176.
21. *Гессель М., Морозов А. В., Сапожников В. В., Сапожников Вл. В.* Логическое дополнение — новый метод контроля комбинационных схем // Автоматика и телемеханика. 2003. № 1. С. 167—176.
22. *Saposhnikov Vl. V., Dmitriev A., Goessel M., Saposhnikov V. V.* Self-dual parity checking – a new method for on line testing // Proc. of the 14th IEEE VLSI Test Symp., Princeton, USA, 1996. P. 162—168.
23. *Efanov D., Sapozhnikov V., Sapozhnikov Vl., Osadchy G., Pivovarov D.* Self-dual complement method up to constant-weight codes for arrangement of combinational logical circuits concurrent error-detection systems // Proc. of the 17th IEEE East-West Design & Test Symp. (EWDTS'2019), Batumi, Georgia, 13—16 Sept., 2019. P. 136—143. DOI: 10.1109/EWDTS.2019.8884398.
24. *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* New Methods of Concurrent Checking. Dordrecht: Springer Science+Business Media B.V., 2008. 184 p.
25. *Sen S. K.* A Self-checking circuit for concurrent checking by 1-out-of-4 code with design optimization using constraint don't cares // Proc. National Conf. on Emerging Trends and Advances in Electrical Engineering and Renewable Energy (NCEEERE 2010), Sikkim Manipal Institute of Technology, Sikkim, India, 22—24 Dec., 2010.
26. *Das D. K., Roy S. S., Dmitriev A., Morozov A., Gössel M.* Constraint don't cares for optimizing designs for concurrent checking by 1-out-of-3 codes // Proc. of the 10th Intern. Workshops on Boolean Problems, Freiberg, Germany, Sept., 2012. P. 33—40.
27. *Сапожников В. В., Сапожников Вл. В., Ефанов Д. В.* Построение самопроверяемых структур систем функционального контроля на основе равновесного кода „2 из 4“ // Проблемы управления. 2017. № 1. С. 57—64.
28. *Сапожников В. В., Сапожников Вл. В.* Самопроверяемые дискретные устройства. СПб: Энергоатомиздат, 1992. 224 с.
29. *Ефанов Д. В., Сапожников В. В., Сапожников Вл. В., Пивоваров Д. В.* Условия синтеза полностью самопроверяемых схем встроенного контроля на основе метода логического дополнения до равновесного кода „1 из m“ // Автоматика и вычислительная техника. 2020. № 2. С. 89—99.
30. *Пивоваров Д. В.* Построение систем функционального контроля многовыходных комбинационных схем методом логического дополнения по равновесным кодам // Автоматика на транспорте. 2018. Т. 4, № 1. С. 131—149.
31. *Сапожников В. В., Сапожников Вл. В., Ефанов Д. В.* Метод функционального контроля комбинационных логических устройств на основе кода „2 из 4“ // Изв. вузов. Приборостроение. 2016. Т. 59, № 7. С. 524—533. DOI: 10.17586/0021-3454-2016-59-7-524-533.
32. *Сапожников В. В., Сапожников Вл. В., Ефанов Д. В., Дмитриев В. В.* Новые структуры систем функционального контроля логических схем // Автоматика и телемеханика. 2017. № 2. С. 127—143.
33. *Sentovich E. M., Singh K. J., Moon C., Savoj H., Brayton R. K., Sangiovanni-Vincentelli A.* Sequential circuit design using synthesis and optimization // Proc. IEEE Intern. Conf. on Computer Design: VLSI in Computers & Processors, Cambridge, MA, USA, 11—14 Oct. 1992. P. 328—333. DOI: 10.1109/ICCD.1992.276282.
34. *Sentovich E. M., Singh K. J., Lavagno L., Moon C., Murgai R., Saldanha A., Savoj H., Stephan P. R., Brayton R. K., Sangiovanni-Vincentelli A.* SIS: A system for sequential circuit synthesis. Berkeley: Univ. of California, 1992. 45 p.
35. Pat. 747533 USA. Self-Checking Error Checker for Two-Rail Coded Data / *W. C. Carter, K. A. Duke, P. R. Schneider.* Patented 26.01.1971.
36. *Ефанов Д. В., Сапожников В. В., Сапожников Вл. В.* Синтез самопроверяемых комбинационных устройств на основе выделения специальных групп выходов // Автоматика и телемеханика. 2018. № 9. С. 79—94.
37. *Сапожников В. В., Сапожников Вл. В., Ефанов Д. В., Пивоваров Д. В.* Метод синтеза систем диагностирования на основе логического дополнения с уменьшенным числом элементов преобразования // Изв. вузов. Приборостроение. 2019. Т. 62, № 12. С. 1039—1052. DOI: 10.17586/0021-3454-2019-62-12-1039-1052.

- Сведения об авторах**
- Валерий Владимирович Сапожников** — д-р техн. наук, профессор; Петербургский государственный университет путей сообщения Императора Александра I, кафедра автоматки и телемеханики на железных дорогах;
E-mail: port.at.pgups@gmail.com
- Владимир Владимирович Сапожников** — д-р техн. наук, профессор; Петербургский государственный университет путей сообщения Императора Александра I, кафедра автоматки и телемеханики на железных дорогах;
E-mail: at.pgups@gmail.com
- Дмитрий Викторович Ефанов** — д-р техн. наук, доцент; Российский университет транспорта, кафедра автоматки, телемеханики и связи на железнодорожном транспорте; E-mail: TrES-4b@yandex.ru

Поступила в редакцию
28.04.2020 г.

Ссылка для цитирования: Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Синтез схемы встроенного контроля для многовыходных комбинационных устройств на основе логического дополнения и сжатия сигналов // Изв. вузов. Приборостроение. 2020. Т. 63, № 7. С. 583—599.

SYNTHESIS OF A BUILT-IN CONTROL CIRCUIT FOR MULTI-OUTPUT COMBINATIONAL DEVICES BASED ON LOGICAL COMPLEMENT AND SIGNAL COMPRESSION

V. V. Sapozhnikov¹, VI. V. Sapozhnikov¹, D. V. Efanov²

¹Emperor Alexander I St. Petersburg State Transport University,
190031, St. Petersburg, Russia

²Russian University of Transport, 127994, Moscow, Russia
E-mail: TrES-4b@yandex.ru

Some problems of constructing automation and computer technology devices with self-checking structures are discussed. The possibility of developing a modification of the well-known logical complement method for the purposes in question is considered. The essence of the method consists in initial transformation of the source device operating functions into functions of a special type and subsequent control of them according to selected diagnostic criteria. To implement the method, a logical complement block is used, formed by a cascade of two-input adders modulo two. An approach based on a hybrid method of organizing control is proposed: initially, the signals coming from several outputs of the source device are compressed, and then the compressed signals are controlled by the logical complement method. It is shown that the approach allows to reduce the final device structural redundancy by reducing the number of control sub-circuits. The effectiveness of the new approach as applied to organization of self-checking devices is confirmed by an example which demonstrate the possibility to build a device not only with a structural redundancy lower than with duplication, but also comparable and even less than with control by parity.

Keywords: self-checking built-in control scheme, duplication method, parity control method, logical complement; equilibrium code, compression of signals, complexity of technical implementation, structural redundancy

REFERENCES

1. Sapozhnikov V.V., Sapozhnikov VI.V., Khristov Kh.A., Gavzov D.V. *Metody postroyeniya bezopasnykh mikroelektronnykh sistem zheleznodorozhnoy avtomatiki* (Methods for Constructing Safe Microelectronic Systems of Railway Automation), Moscow, 1995, 272 p. (in Russ.)
2. Smith D.J., Simpson K.G.L. *Functional safety: A Straightforward Guide to IEC 61508 and Related Standards*, Butterworth-Heinemann, 1st edition (June 26, 2001), 208 p.
3. Drozd A.V., Kharchenko V.S., Antoshchuk S.G., Drozd Yu.V., Sulima Yu.Yu. *Rabochee diagnostirovanie bezopasnykh informatsionno-upravlyayushchikh sistem* (Working Diagnosing of Safe Management Information Systems), Khar'kov, 2012, 614 p. (in Russ.)
4. Kharchenko V., Kondratenko Yu., Kacprzyk J. *Green IT Engineering: Concepts, Models, Complex Systems Architectures*, Springer Book series "Studies in Systems, Decision and Control", 2017, vol. 74, 305 p. DOI: 10.1007/978-3-319-44162-7.
5. Shcherbakov N.S. *Dostovernost' raboty tsifrovyykh ustroystv* (Reliability of Digital Devices), Moscow, 1989, 224 p. (in Russ.)
6. Stempkovskiy A.L., Telpukhov D.V., Zhukova T.D., Gurov S.I., Solovyev R.A. *Izvestiya SFedU*.

- Engineering Sciences*, 2017, no. 7(192), pp. 197–210. DOI 10.23683/2311-3103-2017-7-197-210.
7. Sogomonyan E.S. *Self-Correction Fault-Tolerant Systems*, Preprint, October 2018, 30 p. https://www.researchgate.net/publication/328578644_Self-Correction_Fault-Tolerant_Systems. (in Russ.)
 8. Đug M., Weidling S., Sogomonyan E.S., Jokic D., Krstic M. *Journal of Circuits, Systems and Computers*, 17 January 2020, pp. 1–16. DOI: 10.1142/S0218126620502187.
 9. Sogomonyan E.S., Slabakov E.V. *Samoproveryaemye ustroystva i otkazoustoychivye sistemy* (The Self-Checked Devices and Failure-Safe Systems), Moscow, 1989, 208 p. (in Russ.)
 10. Slabakov E.V., Sogomonyan E.S. *Automation and Remote Control*, 1981, no. 11, pp. 147–167. (in Russ.)
 11. Parkhomenko P.P., Sogomonyan E.S. *Osnovy tekhnicheskoy diagnostiki. Optimizatsiya algoritmov diagnostirovaniya, apparaturnye sredstva* (Basics of Technical Diagnostics. Optimization of Algorithms of Diagnosing, Hardware Means), Moscow, 1981, 320 p. (in Russ.)
 12. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody Khemminga v sistemakh funktsional'nogo kontrolya logicheskikh ustroystv* (Hamming Codes in Logic Devices Functional Control Systems), St. Petersburg, 2018, 151 p. (in Russ.)
 13. Goessel M., Sogomonyan E.S. *Automation and Remote Control*, 1992, no. 10, pp. 135–141. (in Russ.)
 14. Piestrak S.J. *Design of Self-Testing Checkers for Unidirectional Error Detecting Codes*, Wroclaw, Oficyna Wydawnicza Politechniki Wroclawskiej, 1995, 111 p.
 15. Mitra S., McCluskey E.J. *Proceedings of International Test Conference*, 2000, USA, Atlantic City, NJ, 3–5 October 2000, pp. 985–994.
 16. Nicolaidis M., Zorian Y. *Journal of Electronic Testing: Theory and Applications*, 1998, no. 12, pp. 7–20.
 17. Gessel' M., Morozov A.A., Sapozhnikov V.V., Sapozhnikov VI.V. *Automation and Remote Control*, 1994, no. 7, pp. 148–160. (in Russ.)
 18. Berger J.M. *Information and Control*, 1961, no. 1(4), pp. 68–73. DOI: 10.1016/S0019-9958(61)80037-5.
 19. Gessel' M., Morozov A.A., Sapozhnikov V.V., Sapozhnikov VI.V. *Automation and Remote Control*, 1997, no. 2, pp. 180–193. (in Russ.)
 20. Das D., Toubia N.A., Seuring M., Gossel M. *Proceedings of IEEE 6th International On-Line Testing Workshop (IOLTW)*, Spain, Palma de Mallorca, July 3–5, 2000, pp. 171–176.
 21. Goessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov VI.V., Dmitriev A.V. *Automation and Remote Control*, 2003, no. 1, pp. 167–176. (in Russ.)
 22. Sapozhnikov VI.V., Dmitriev A., Goessel M., Sapozhnikov V.V. *Proceedings of 14th IEEE VLSI Test Symposium*, USA, Princeton, 1996, pp. 162–168.
 23. Efanov D., Sapozhnikov V., Sapozhnikov VI., Osadchy G., Pivovarov D. *Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTs'2019)*, Batumi, Georgia, September 13–16, 2019, pp. 136–143. DOI: 10.1109/EWDTs.2019.8884398.
 24. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. *New Methods of Concurrent Checking: Edition 1*, Dordrecht, Springer Science+Business Media B.V., 2008, 184 p.
 25. Sen S.K. *National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE 2010)*, Sikkim Manipal Institute of Technology, Sikkim, held during 22–24 December, 2010.
 26. Das D.K., Roy S.S., Dmitriev A., Morozov A., Gössel M. *Proceedings of the 10th International Workshops on Boolean Problems*, Freiberg, Germany, September, 2012, pp. 33–40.
 27. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Control Sciences*, 2017, no. 1, pp. 57–64.
 28. Sapozhnikov V.V., Sapozhnikov VI.V. *Samoproveryaemye diskretnyye ustroystva* (Self-Checked Discrete Devices), St. Petersburg, 1992, 224 p. (in Russ.)
 29. Efanov D.V., Sapozhnikov V.V., Sapozhnikov VI.V., Pivovarov D.V. *Automatic Control and Computer Sciences*, 2020, no. 2, pp. 89–99. (in Russ.)
 30. Pivovarov D.V. *Automation on Transport*, 2018, no. 1(4), pp. 131–149. (in Russ.)
 31. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Journal of Instrument Engineering*, 2016, no. 7(59), pp. 524–533. DOI 10.17586/0021-3454-2016-59-7-524-533. (in Russ.)
 32. Sapozhnikov V.V., Efanov D.V., Dmitriev V.V. *Automation and Remote Control*, 2017, no. 2(78), pp. 300–312.
 33. Sentovich E.M., Singh K.J., Moon C., Savoj H., Brayton R.K., Sangiovanni-Vincentelli A. *Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors*, 11–14 October 1992, Cambridge, MA, USA, pp. 328–333. DOI: 10.1109/ICCD.1992.276282.
 34. Sentovich E.M., Singh K.J., Lavagno L., Moon C., Murgai R., Saldanha A., Savoj H., Stephan P.R., Brayton R.K., Sangiovanni-Vincentelli A. *SIS: A System for Sequential Circuit Synthesis*, Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 4 May 1992, 45 p.
 35. Patent US. 747533, *Self-Checking Error Checker for Two-Rail Coded Data*, Carter W.C., Duke K.A., Schneider P.R., July 25, 1968.

36. Efanov D.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Automation and Remote Control*, 2018, no. 9(79), pp. 1609–1620.
37. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V., Pivovarov D.V. *Journal of Instrument Engineering*, 2019, no. 12(62), pp. 1039–1052. DOI: 10.17586/0021-3454-2019-62-12-1039-1052. (in Russ.)

Data on authors

Valery V. Sapozhnikov	—	Dr. Sci., Professor; Emperor Alexander I St. Petersburg State Transport University, Department of Automation and Remote Control on Railways; E-mail: port.at.pgups@gmail.com
Vladimir V. Sapozhnikov	—	Dr. Sci., Professor; Emperor Alexander I St. Petersburg State Transport University, Department of Automation and Remote Control on Railways; E-mail: at.pgups@gmail.com
Dmitry V. Efanov	—	Dr. Sci., Associate Professor; Russian University of Transport; Department of Automation, Remote Control, and Communication in Railway Transport; E-mail: TrES-4b@yandex.ru

For citation: Sapozhnikov V. V., Sapozhnikov VI. V., Efanov D. V. Synthesis of a built-in control circuit for multi-output combinational devices based on logical complement and signal compression. *Journal of Instrument Engineering*. 2020. Vol. 63, N 7. P. 583—599 (in Russian).

DOI: 10.17586/0021-3454-2020-63-7-583-599