

СТРУКТУРЫ СХЕМ КОРРЕКЦИИ СИГНАЛОВ НА ОСНОВЕ ДВОЙНОЙ МОДУЛЬНОЙ ИЗБЫТОЧНОСТИ С КОНТРОЛЕМ ВЫЧИСЛЕНИЙ

В. В. САПОЖНИКОВ¹, Вл. В. САПОЖНИКОВ¹, Д. В. ЕФАНОВ²

¹Петербургский государственный университет путей сообщения Императора Александра I,
190031, Санкт-Петербург, Россия

²Российский университет транспорта, 127994, Москва, Россия,
ООО „ВЕГА Инжиниринг“, 191186, Санкт-Петербург, Россия
E-mail: TrES-4b@yandex.ru

Исследуются методы синтеза отказоустойчивых дискретных устройств и систем. Предложена структурная схема коррекции сигналов, основанная на использовании двойной модульной избыточности с контролем вычислений по заранее выбранному признаку. Приведены три варианта реализации данной структуры. Первая структура основана на контроле вычислений копией исходного устройства по коду с повторением, что фактически предполагает использование схемы контроля вычислений методом дублирования. Вторая структура — это контроль вычислений на основе кода паритета. В третьей структуре в качестве основы схемы контроля используется специальный код с суммированием коэффициентов взвешенных переходов от разряда к разряду в информационном векторе, что обеспечивает возможность построения более простой, чем при дублировании, схемы контроля. Приведены результаты экспериментов по оценке эффективности и сложности технической реализации каждой из предложенных структур с использованием контрольных комбинационных схем LGSynth'89 и MCNC Benchmarks. Предложенные структуры схем коррекции сигналов на основе двойной модульной избыточности строятся из типовых блоков, что позволяет использовать их достаточно широко для синтеза отказоустойчивых дискретных устройств.

Ключевые слова: отказоустойчивые дискретные устройства, структурная избыточность устройства, тройная модульная избыточность, двойная модульная избыточность, схема встроенного контроля, контроль вычислений по коду с повторением, контроль вычислений по паритету, контроль вычислений по коду с суммированием взвешенных переходов

Введение. При построении надежных и безопасных дискретных систем широко применяются методы обнаружения неисправностей и методы коррекции неверно вычисленных результатов [1—4]. Зачастую данные методы используются комплексно. В основе структур дискретных систем, наделенных свойствами обнаружения неисправностей и коррекции ошибочных сигналов, лежат известные принципы помехозащищенного и помехоустойчивого кодирования [5]. Так, например, при синтезе систем, обладающих свойством обнаружения неисправностей, используются самопроверяемые схемы встроенного контроля (СВК). При их

организации применяются блочные разделимые и неразделимые коды, ориентированные на обнаружение искажений [6, 7]. К таким кодам относятся, например, разнообразные коды с суммированием [8] и равновесные коды [9]. При синтезе систем, обладающих свойством исправления результатов вычислений, применяются коды, ориентированные на коррекцию ошибок в разрядах кодовых слов [10—12]. Из теории кодирования известно, что для коррекции ошибок кратностью d необходимо обеспечить расстояние Хэмминга $d_{\min} \geq 2d_c + 1$, где d_c — кратность исправляемой ошибки. Например, при $d_c=1$ расстояние Хэмминга должно быть $d_{\min} \geq 3$. Подобный принцип используется и в типовых структурных схемах коррекции сигналов. Повсеместно используемая мажоритарная схема коррекции сигналов основана на троировании исходных блоков с проверкой вычислений сигналов на одноименных выходах с помощью мажоритарных элементов [13]. Это обеспечивает нечувствительность устройства к проявлениям одиночных неисправностей.

Мажоритарная схема коррекции сигналов используется во всех отраслях науки и техники, она применяется при разработке высоконадежных систем управления ответственными технологическими процессами как в промышленности, так и на транспорте [14—21]. Однако несмотря на достоинства, связанные с возможностью коррекции ошибок в вычислениях, данная схема имеет весомый недостаток, связанный с существенной вносимой избыточностью: вместо одного исходного блока требуется три, а также схема коррекции сигналов. Кроме того, зачастую исходный блок и его копии снабжаются самопроверяемой СВК для идентификации неверно функционирующих блоков, а сама схема коррекции синтезируется в виде самопроверяемого устройства.

В настоящей статье представлены результаты исследований способов синтеза схем коррекции сигналов, позволяющих уменьшить сложность их технической реализации по сравнению с мажоритарной схемой. Предложены новые типовые структуры схем коррекции сигналов, основанные на дублировании и применении СВК по двоичным избыточным кодам.

Мажоритарная схема коррекции сигналов. Классическая схема коррекции сигналов на основе тройной модульной избыточности приведена на рис. 1. Для обеспечения отказоустойчивости системы относительно одиночных неисправностей в данной схеме используется основное устройство $F(x)$ и две его копии — $F^*(x)$ и $F^{**}(x)$. Все три устройства работают параллельно и реализуют одни и те же функции при одинаковых входных воздействиях. Сигналы с одноименных выходов сравниваются на входах мажоритарных элементов, образующих схему коррекции сигналов. Данные элементы нечувствительны к искажениям на входах, а также к собственным неисправностям вплоть до выходного элемента логического сложения. Учитывая эту особенность мажоритарных элементов, часто используют высоконадежные компоненты для их реализации. Кроме того, известны способы синтеза самопроверяемых мажоритарных элементов [22]. Структурную схему с тройной модульной избыточностью назовем M -структурой.

Тройная модульная избыточность в M -структуре необходима для наделения ее свойством нечувствительности к проявлениям неисправностей в исходном устройстве в виде искажений сигналов на его выходах. Использование ее на практике приводит к существенному увеличению сложности технической реализации конечного устройства. Кроме того, приведенная структура имеет недостаток, связанный с невозможностью идентификации неверно функционирующего устройства. Эта проблема решается за счет дооснащения каждого блока самопроверяемой СВК, что, однако, влечет за собой и усложнение схемы в целом.

Следует отметить, что в качестве дополнительных средств повышения отказоустойчивости системы и возможности фиксации широкого класса неисправностей используется диверсификация оборудования (компоненты, выполняющие идентичные функции, реализуются по различным принципам; изменяются режимы и алгоритмы функционирования системы; вводятся резервы времени выполнения операций и т.п. [4, 23—25]).

При разработке схемы с мажоритарным принципом коррекции может возникнуть несколько вариантов. Первый вариант — когда исходное устройство $F(x)$ дается разработчику в неизменяемом виде, а его задача состоит в разработке отказоустойчивой системы, при этом разработчик может пользоваться точными копиями данного устройства. Второй вариант — когда имеется возможность оптимизации двух дополнительных копий устройства $F(x)$ в процессе разработки отказоустойчивой системы. Третий вариант — когда возможна оптимизация самого устройства $F(x)$ и его копий. В данном случае, очевидно, что из трех вариантов наименьшей структурной избыточностью будет обладать последний. Для типовых отказоустойчивых систем, таким образом, целесообразно ввести понятие *структуры с минимальной избыточностью*, т.е. структуры, которая при выбранном варианте внесения избыточности будет обеспечивать наименьшую сложность технической реализации.

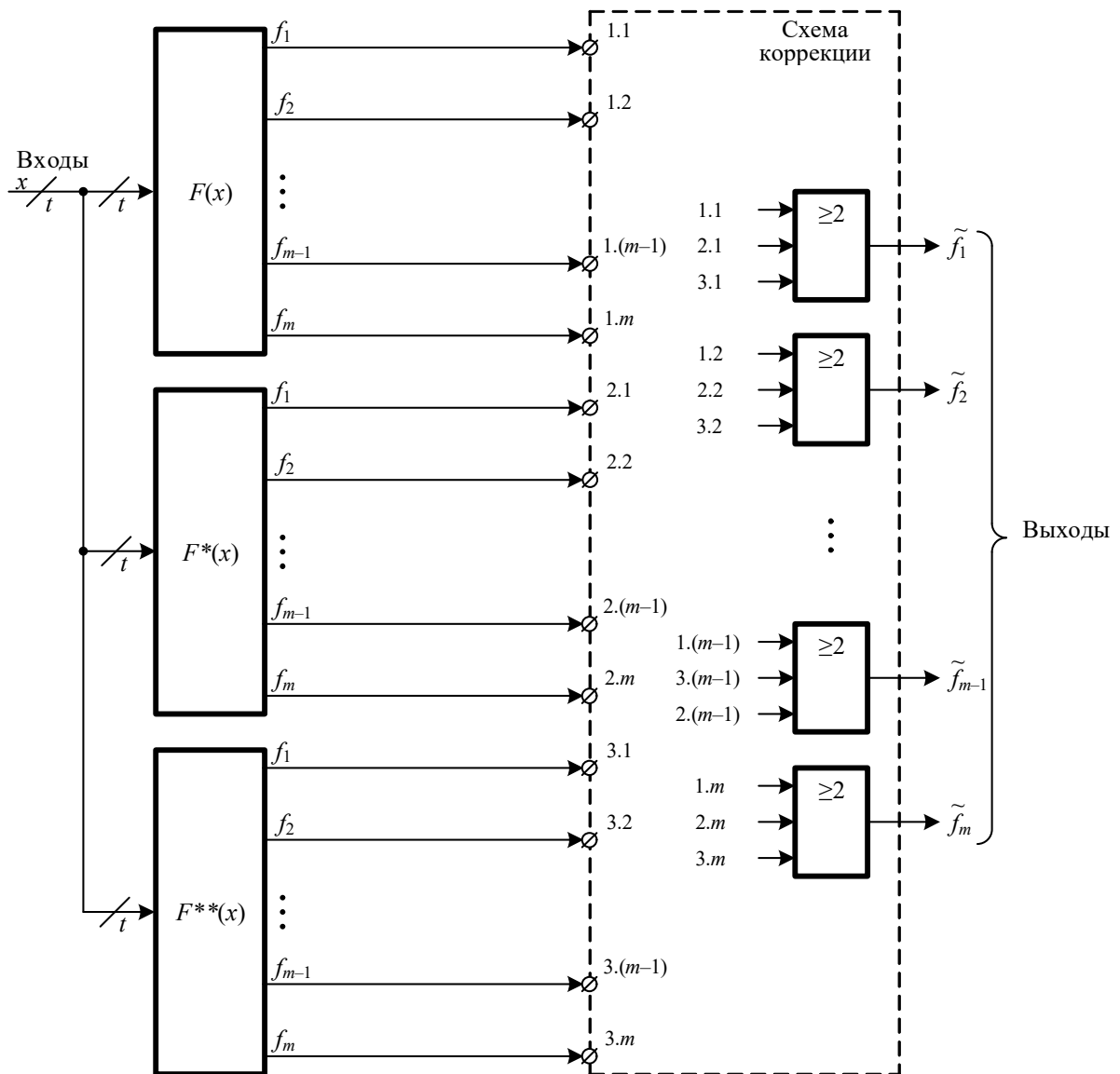


Рис. 1

Исследования показывают, что для создания схемы коррекции сигналов может быть применен принцип двойной модульной избыточности с контролем копии исходного устройства по какому-либо диагностическому признаку. Это позволяет синтезировать более простые устройства, нечувствительные к одиночным неисправностям и ошибкам на линиях схем.

Структуры схем коррекции сигналов на основе дублирования с контролем вычислений.

Обобщенная структура со схемой встроенного контроля. Структура схемы коррекции сигналов на основе дублирования приведена на рис. 2. В этой структуре использованы исходный блок $F(x)$ и его копия $F^*(x)$. Сигналы с одноименных выходов обоих блоков сравниваются на входах каскада двухвходовых элементов сложения по модулю два. При расхождении значений на входах элемента сложения по модулю два на его выходе формируется сигнал логической единицы, который служит сигналом ошибки e_i для каждого из $i \in \{1, 2, \dots, m\}$ выходов устройства $F(x)$. Для исключения коррекции ошибок на выходах блока $F^*(x)$ он снабжается схемой контроля по какому-либо диагностическому признаку. Выход z схемы контроля подключается на входной каскад схемы коррекции. Он образован двухвходовыми элементами логического умножения, устанавливаемыми для каждого выхода элементов сравнения сигналов. На первые входы элементов логического умножения поступают сигналы с элементов сравнения, на вторые — сигнал z от схемы контроля блока $F^*(x)$. Сигнал z инвертируется для исключения ложной коррекции сигналов. Это необходимо, поскольку схема контроля фиксирует наличие ошибок именно в копии исходного устройства. Коррекция функций, вычисляемых блоком $F(x)$, происходит на входах элементов сложения по модулю два выходного каскада схемы коррекции сигналов.

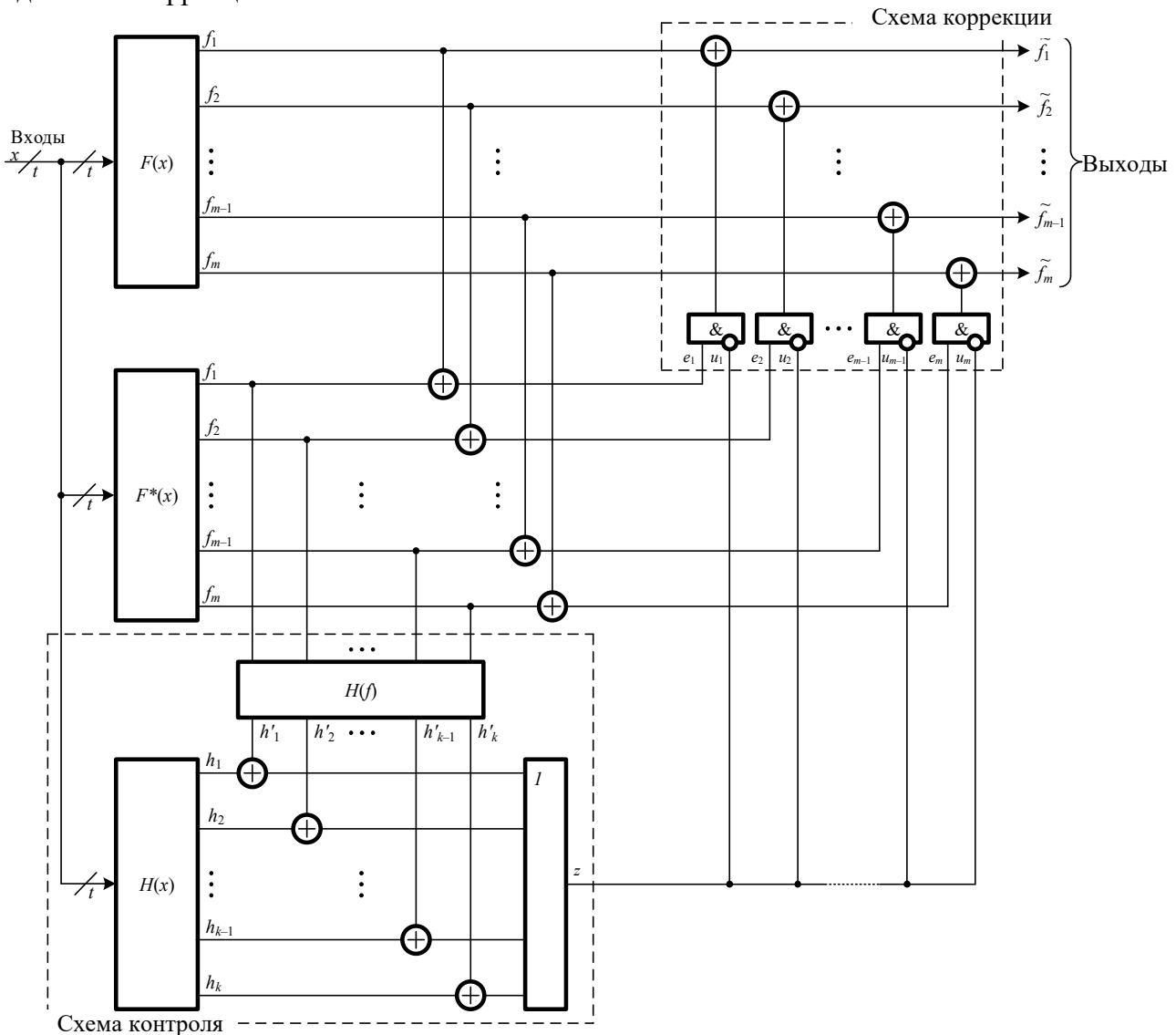


Рис. 2

Схема контроля блока $F^*(x)$ может строиться, например, по признаку принадлежности кодовых векторов разделимым (m,k) -кодам, где m и k — число информационных и контрольных разрядов. В этом случае выходы блока $F^*(x)$ подключаются к входам кодера (m,k) -кода $H(f)$, формирующего контрольный вектор $\langle h'_k h'_{k-1} \dots h'_2 h'_1 \rangle$. Аналогичное устройство $H(x)$, работающее, однако, по значениям входных воздействий устройств $F(x)$ и $F^*(x)$, формирует альтернативный контрольный вектор $\langle h_k h_{k-1} \dots h_2 h_1 \rangle$. Векторы $\langle h'_k h'_{k-1} \dots h'_2 h'_1 \rangle$ и $\langle h_k h_{k-1} \dots h_2 h_1 \rangle$ поразрядно сравниваются с помощью каскада двухвходовых сумматоров по модулю два. При наличии несоответствия сигналов на входах этих элементов на их выходах устанавливаются значения логической единицы. Выходы элементов сложения по модулю два подключаются к входам элементов логического умножения. Наличие на выходе элемента умножения единичного сигнала свидетельствует о наличии ошибки на выходах блока $F^*(x)$ или в схеме его контроля.

Подобная структура схемы коррекции во многих случаях позволяет синтезировать более простые, чем по M -структуре, дискретные устройства, нечувствительные к одиночным неисправностям. Следует отметить, что при построении представленной на рис. 2 структуры, так же как и в M -структуре, возможны варианты с оптимизацией блока $F^*(x)$, а также обоих блоков $F(x)$ и $F^*(x)$. Это позволяет сформировать структуру дублирования с коррекцией сигналов, обладающую минимальной избыточностью.

Рассмотрим три типовых варианта синтеза структурных схем коррекции сигналов на основе дублирования со схемой контроля. Эти варианты формируются за счет использования схем встроенного контроля по кодам с повторением [26], кодам паритета [27] и специальным кодам с суммированием взвешенных переходов [28].

Структура с контролем вычислений по коду с повторением. Одним из способов реализации структурной схемы с двойной модульной избыточностью является контроль копии исходного устройства (блока $F^*(x)$) на основе кода с повторением (рис. 3).

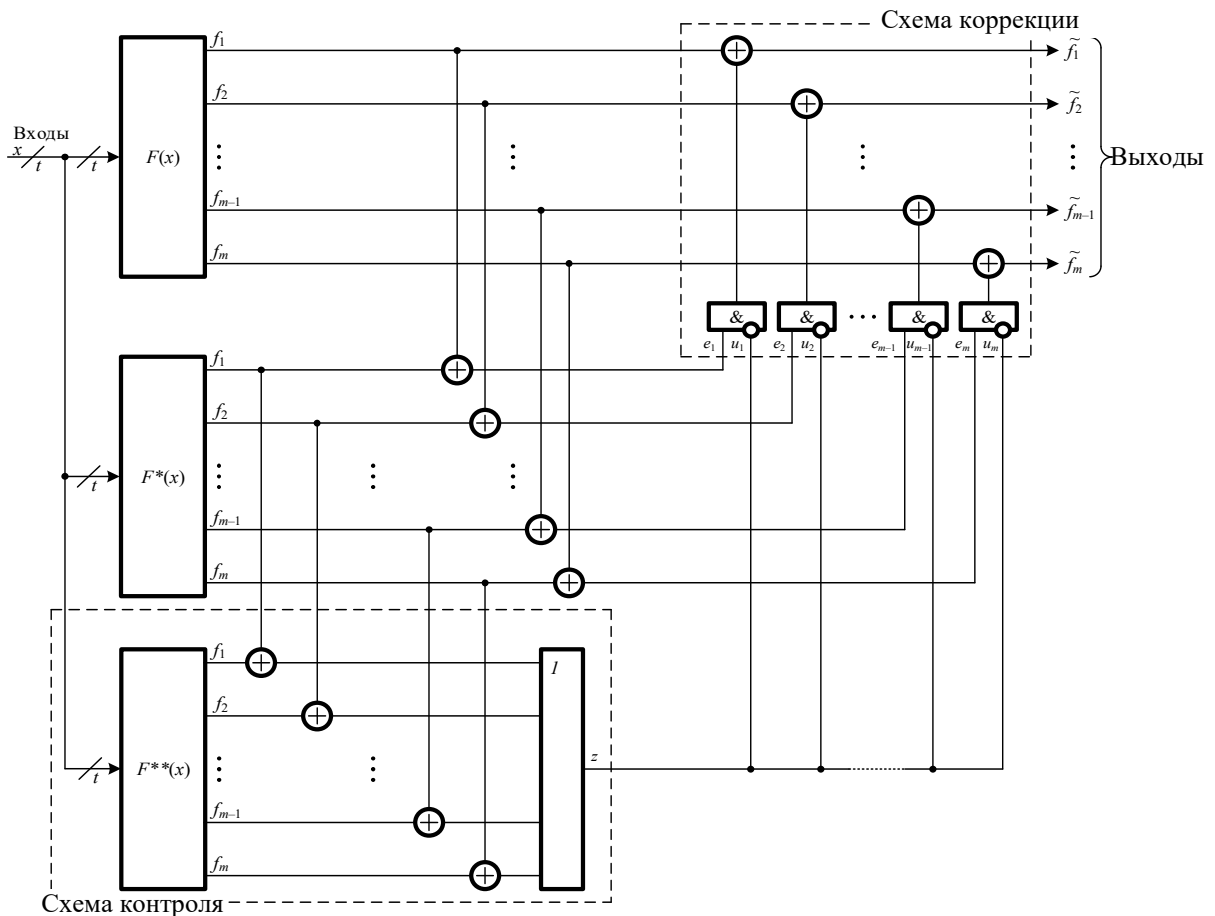


Рис. 3

В этом случае требуется еще одна копия исходного устройства — блок $F^{**}(x)$. Представленную схему коррекции сигналов назовем D -структурой. Организацию схемы контроля по коду с повторением позволяет обнаруживать в контролируемом объекте любые неисправности, проявляющиеся на его выходах. Однако, фактически, использование кода с повторением приводит к возвращению к троированию (ср. рис. 1 и 3). В отличие от M -структуры в представленной на рис. 3 D -структуре коррекция осуществляется без использования мажоритарных элементов.

Структура с контролем вычислений по коду паритета. Эффективным на практике может оказаться использование другой типовой структуры схемы коррекции сигналов. Она основана на применении контроля по коду паритета (рис. 4). Выходы блока $F^*(x)$ контролируются с помощью свертки по модулю два, реализующей функцию $p' = f_1 \oplus f_2 \oplus \dots \oplus f_m$. Значение данной функции подается на первый вход элемента сравнения (сложения по модулю два). Блоком $P(x)$ рассчитывается значение функции паритета p по сигналам входных воздействий блоков $F(x)$ и $F^*(x)$. При совпадении последних вырабатывается сигнал контроля $z=0$. При различии сигналов на входах формируется сигнал ошибки, который выключает схему коррекции из работы.

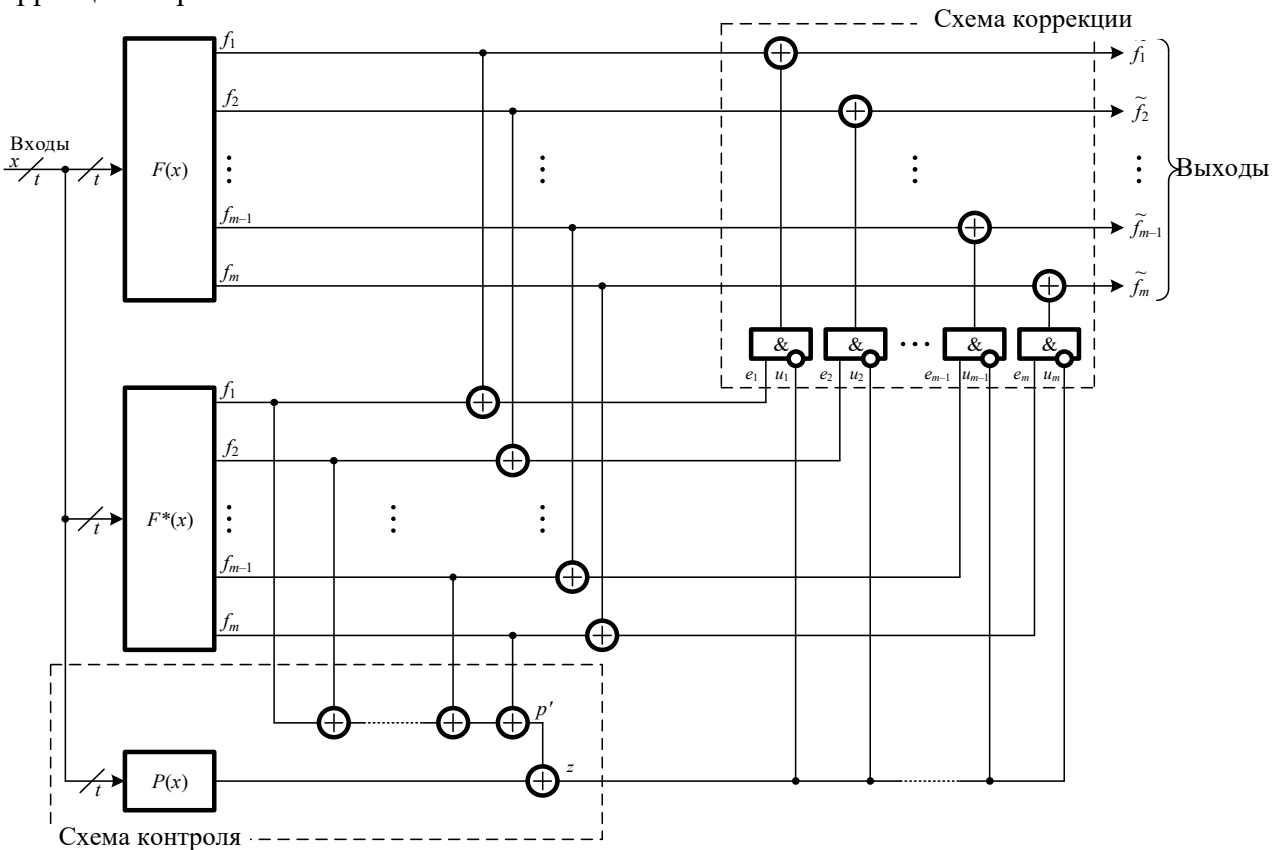


Рис. 4

Схему коррекции сигналов на основе двойной модульной избыточности с контролем вычислений по паритету назовем P -структурой. Ее достоинство заключается в гораздо более простой схеме контроля, чем при использовании кода с повторением [2]. Благодаря этому в большинстве случаев удастся значительно уменьшить сложность технической реализации P -структуры по сравнению с M -структурой. Недостатком P -структуры является невозможность обнаружения проявлений любых неисправностей на выходах блока $F^*(x)$. Схемой контроля по паритету не обнаруживается любая ошибка с четной кратностью. Это приводит к возможности ложной коррекции сигналов при ошибках на выходах блока $F^*(x)$ и при исправном блоке $F(x)$. Тем не менее известны способы синтеза схем контроля по группам независимых выходов с контролем их по паритету [29], а также методы преобразования цифровых устройств в устрой-

ства с независимыми выходами [30]. Контроль по группам независимых выходов и контроль единой группы независимых выходов для большинства устройств обеспечивает построение менее избыточных схем, чем при использовании контроля методом дублирования.

Структура с контролем вычислений по специальному коду с суммированием взвешенных переходов. В качестве кода для контроля устройства $F^*(x)$ может быть использован любой известный код из многообразия кодов с суммированием и их модификаций [7, 8]. Среди всех кодов с суммированием по своим свойствам выделяется специальный код с суммированием взвешенных переходов [28]. Он имеет почти двойную избыточность $k=m-1$ и обнаруживает любые ошибки за исключением ошибок кратностью $d=m$. При этом, однако, данный код обладает простыми контрольными функциями, которые описываются свертками по модулю два. Такой код строится по следующим правилам.

1. Переходам между разрядами информационного вектора, начиная с младшего разряда, присваиваются весовые коэффициенты $w_{i,i+1}$ из ряда возрастающих степеней числа 2: $[w_{i,i+1}] = [w_{m-1,m}, w_{m-2,m-1}, \dots, w_{2,3}, w_{1,2}] = [2^{m-1}, 2^{m-2}, \dots, 2^1, 2^0]$.

2. Рассчитывается суммарный вес активных переходов:

$$W = \sum_{i=1}^{m-1} w_{i,i+1} t_{i,i+1}, \quad (1)$$

где $t_{i,i+1} = f_i \oplus f_{i+1}$ — функция активации перехода между разрядами f_i и f_{i+1} .

3. Полученное число представляется в двоичном виде и записывается в разряды контрольного вектора.

Обозначим код с суммированием взвешенных переходов как $T(m,k)$ -код, который, как отмечено выше, имеет $k=m-1$ контрольный разряд. Значения контрольных разрядов могут быть определены по формулам

$$\begin{aligned} h_1 &= f_1 \oplus f_2; \\ h_2 &= f_2 \oplus f_3; \\ &\dots \\ h_{m-1} &= f_{m-1} \oplus f_m. \end{aligned} \quad (2)$$

Так как для получения значений контрольных разрядов кода с суммированием взвешенных переходов используются только операции сложения по модулю два, то структура кодера данного кода является стандартной и содержит $m-1$ элемент сложения по модулю два. Наличие стандартной структуры кодера позволяет синтезировать типовую структуру схемы коррекции ошибок (рис. 5), которую назовем T -структурой.

$T(m,k)$ -код обнаруживает любые искажения в контролируемом кодовом векторе, за исключением ошибок максимальной кратностью $d=m$. Это объясняется тем, что суммарный вес информационного вектора, вычисляемый по формуле (1), одинаков только для двух векторов с полностью противоположными значениями разрядов. Такая особенность $T(m,k)$ -кода позволяет весьма эффективно использовать его для организации контроля комбинационных логических устройств. При этом на структуры контролируемых устройств накладывается только одно ограничение — отсутствие путей, ведущих от каких-либо внутренних логических элементов сразу ко всем их выходам (можно сказать, что это структурное ограничение). Однако даже при наличии таковых элементов может быть проверено условие невозможности одновременного искажения всех m выходов устройства [31]:

$$\frac{\partial f_1}{\partial y_q} \cdot \frac{\partial f_2}{\partial y_q} \cdot \dots \cdot \frac{\partial f_m}{\partial y_q} = 0, \quad (3)$$

где y_q — функция, реализуемая на выходе логического элемента, связанного путями со всеми выходами устройства.

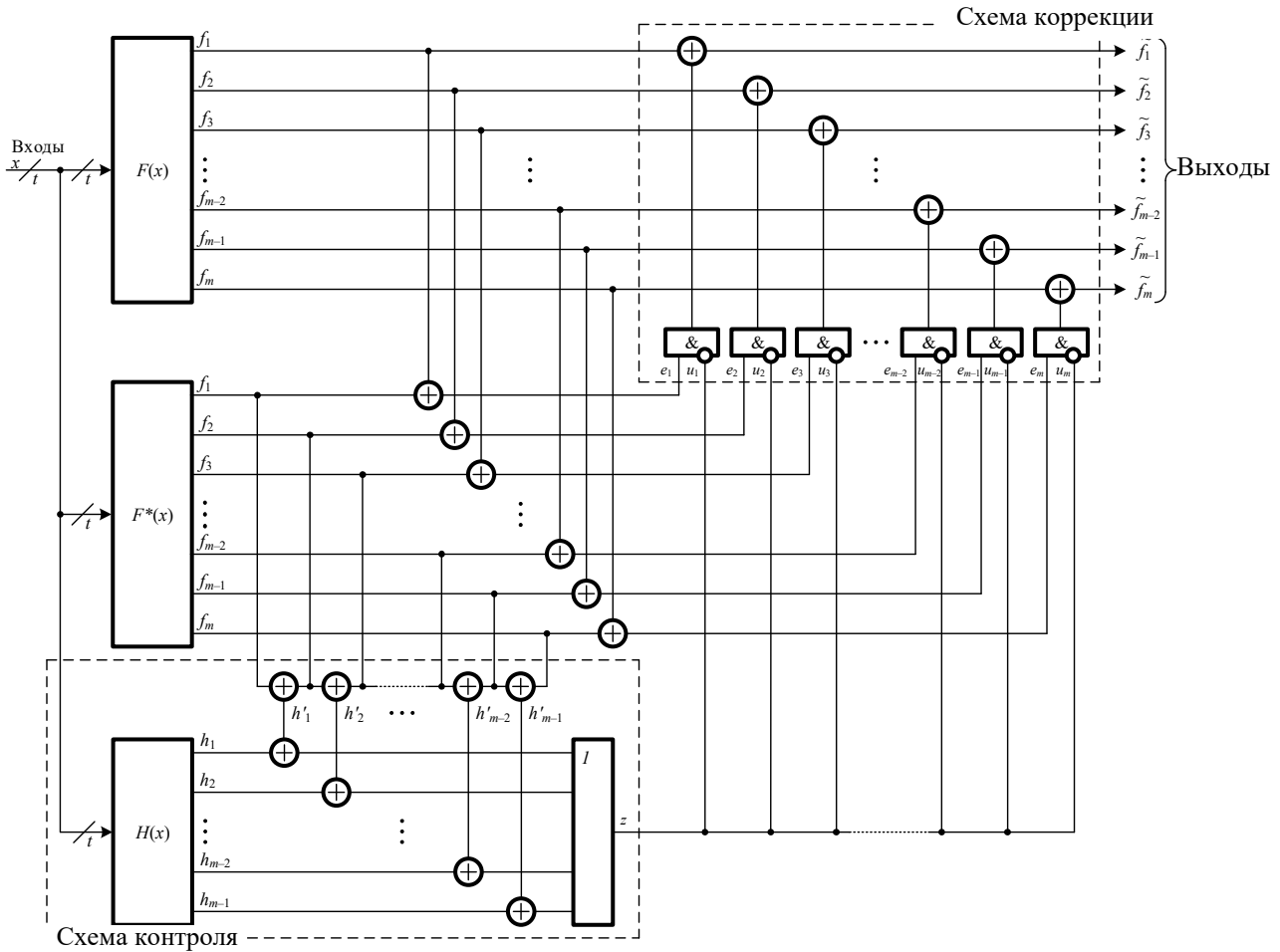


Рис. 5

Если выражение в левой части формулы (3) равно нулю для всех логических элементов, связанных путями со всеми выходами устройства, то не существует ни одного входного набора, на котором происходит трансляция ошибок на все его выходы.

Классификация структурных схем коррекции сигналов. Использование представленных структур схем коррекции ошибок, основанных на двойной модульной избыточности с контролем вычислений (рис. 6), позволяет предложить новые способы синтеза отказоустойчивых дискретных систем. Данные структуры целесообразно учитывать при выборе способа реализации устройств или систем, нечувствительных к одиночным неисправностям компонентов.

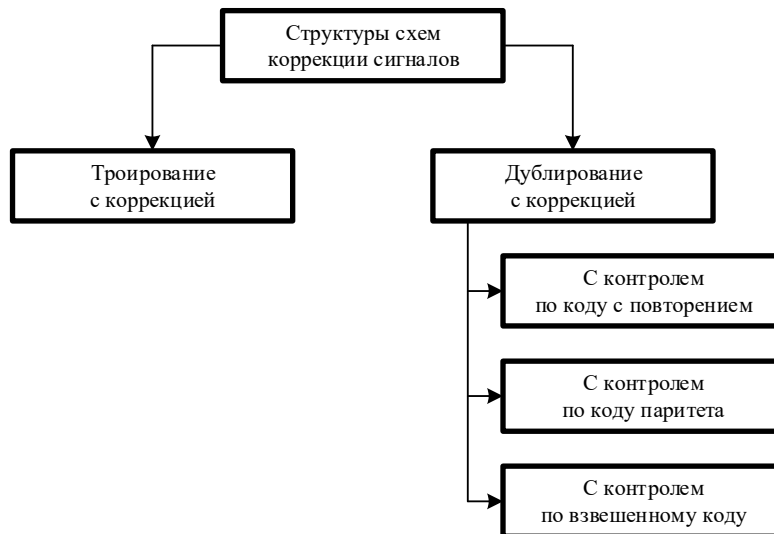


Рис. 6

Экспериментальные результаты. В ходе исследований характеристик схем коррекции сигналов авторами были проведены эксперименты по оценке эффективности каждой из предложенных структур. Эксперименты включали в себя два этапа. Первый этап состоял в оценке сложности технической реализации D -, P - и T -структур для набора контрольных комбинационных схем из базы MCNC Benchmarks, второй этап — в оценке характеристик обнаружения ошибок на выходах комбинационных схем из базы LGSynth'89 [32].

На первом этапе для контрольных комбинационных схем были построены рассмотренные выше структуры схем коррекции сигналов. Каждая из этих структур содержит исходную комбинационную схему, площадь которой, обозначенная как $L_{F(x)}$, определялась с учетом использования библиотеки функциональных элементов stdcell2_2.genlib [33]. Это позволило получить данные о площадях M -, D -, P - и T -структур: L_M, L_D, L_P, L_T . Предложенные структуры на основе двойной модульной избыточности сравнивались со структурой тройной модульной избыточности. Был определен показатель отношения площади предлагаемой схемы коррекции к площади M -структуры, характеризующий сложность технической реализации:

$$\delta = \frac{L_D}{L_M} \cdot 100\%, \quad \tau = \frac{L_T}{L_M} \cdot 100\%, \quad \rho = \frac{L_P}{L_M} \cdot 100\%.$$

Полученные результаты сведены в табл. 1, а также дополнены графиками, приведенными на рис. 7 (в таблицах и на рисунке: N — номер контрольной схемы).

Таблица 1

N	$F(x)$	$L_{F(x)}$	L_M	L_D	L_T	L_P	$\delta, \%$	$\tau, \%$	$\rho, \%$
1	b2	40952	125032	125592	108760	87624	100,448	86,986	70,081
2	br1	3608	11848	12120	11192	9048	102,296	94,463	76,367
3	br2	2952	9880	10152	9152	7608	102,753	92,632	77,004
4	dc1	976	3824	4064	3800	3120	106,276	99,372	81,59
5	dekoder	736	3104	3344	3320	2728	107,732	106,959	87,887
6	dist	6968	21544	21720	19360	17416	100,817	89,863	80,839
7	gary	10688	33472	33840	34904	25440	101,099	104,278	76,004
8	in0	10704	33520	33888	34936	25472	101,098	104,224	75,99
9	in1	40952	125032	125592	108760	87624	100,448	86,986	70,081
10	inc	2376	8280	8584	8608	6560	103,671	103,961	79,227
11	intb	22248	67640	67880	72072	96160	100,355	106,552	142,164
12	m1	3064	10728	11128	9936	8160	103,729	92,617	76,063
13	m2	10096	32336	32864	26968	23240	101,633	83,399	71,87
14	m3	13464	42440	42968	34888	30368	101,244	82,205	71,555
15	m4	18704	58160	58688	48520	41472	100,908	83,425	71,307
16	max512	9632	29664	29872	25816	22688	100,701	87,028	76,483
17	max1024	17816	54216	54424	47184	41392	100,384	87,03	76,346
18	mlp4	7224	22696	22968	22432	17936	101,198	98,837	79,027
19	newcpla2	1896	6968	7304	6864	5680	104,822	98,507	81,515
20	newcwp	440	1960	2136	2032	1800	108,98	103,673	91,837
21	newtpla2	840	3032	3176	2856	2448	104,749	94,195	80,739
22	p82	2368	8896	9360	9160	7160	105,216	102,968	80,486
23	root	3496	11128	11304	9624	8832	101,582	86,485	79,367
24	sqn	2008	6408	6520	6272	5672	101,748	97,878	88,514
25	tms	6784	22400	22928	20344	16344	102,357	90,821	72,964
Средние		9639,68	30168,32	30496,64	27510,4	24079,68	102,65	94,614	80,612

Анализ приведенных в табл. 1 данных позволяет сделать следующие выводы. Для всех рассмотренных схем D -структура имеет несколько большую сложность реализации, чем M -структура. Среднее значение показателя $\delta=102,65 \%$. Это говорит о том, что D -структура

в целом соизмерима по сложности с M -структурой. Использование T -структуры, согласно показателю τ , оказывается более эффективным. Для 18 из 25 комбинационных схем получены более простые T -структуры, чем M -структуры. Среднее значение показателя $\tau=94,614\%$, но для 9 комбинационных схем получены значения $\tau < 90\%$. С учетом высоких показателей обнаружения и коррекции ошибок полученный результат свидетельствует о весомом преимуществе T -структуры перед M -структурой. Применение P -структуры обеспечивает наименьшую среди рассматриваемых схем коррекции сложность технической реализации по сравнению с M -структурой: в среднем показатель $\rho=80,612\%$.

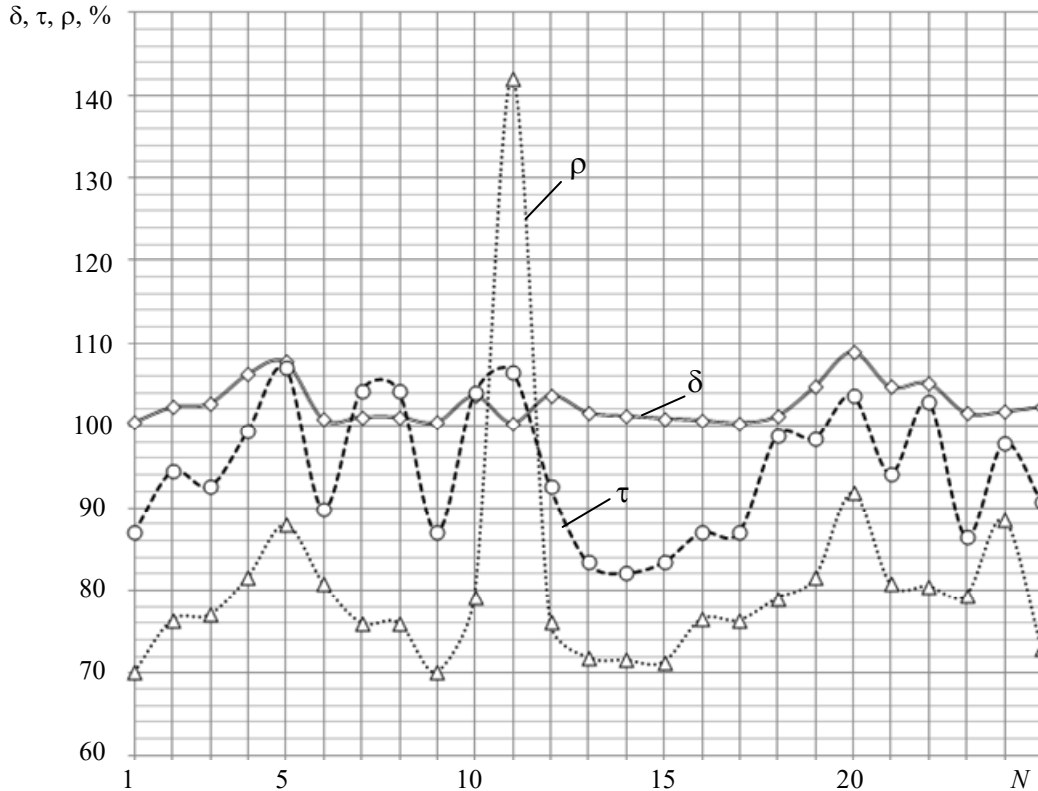


Рис. 7

Для оценки показателей обнаружения и коррекции сигналов были проведены эксперименты по моделированию одиночных константных неисправностей на выходах внутренних логических элементов контрольных комбинационных схем. В ходе экспериментов оценивалось количество необнаруживаемых ошибок, возникающих при последовательном введении всех одиночных неисправностей в структуру схемы при подаче на нее всех входных комбинаций. Результаты экспериментов, приведенные в табл. 2, подтверждают теоретические исследования. В P -структуре для большинства схем не обнаруживается (что соответственно не позволяет осуществлять коррекцию) некоторое количество ошибок — в среднем это 10,553 % всех возможных ошибок. Для трех схем обнаружены все ошибки, еще для семи — не обнаруживаются менее 10 % всех ошибок. В T -структуре, построенной для 19 схем из 21, обнаруживаются и корректируются любые ошибки. В двух схемах, структуры которых допускают искажения кратностью $d=m$, все ошибки идентифицировать не удастся, однако процент таких ошибок крайне мал (менее 1 %).

Результаты, полученные в ходе экспериментальных исследований новых структур схем коррекции сигналов, подтверждают высокую эффективность двух предложенных структур: P -структуры и T -структуры. Их применение на практике позволяет создавать более простые схемы отказоустойчивых устройств и систем, чем при использовании традиционной схемы коррекции по мажоритарному принципу.

Таблица 2

N	F(x)	Число входов / выходов	Число необнаруживаемых ошибок на выходах блока F*(x) в типовых структурах			Всего ошибок на выходах	Доля необнаруживаемых ошибок от их общего количества, %, в структурах		
			M-	P-	T-		M-	P-	T-
1	z4ml	7 / 4	0	128	0	4168	0	3,071	0
2	b1	3 / 4	0	2	0	46	0	4,348	0
3	cmb	16 / 4	0	39462	0	288218	0	13,692	0
4	cm162a	14 / 5	0	44763	224	317331	0	14,106	0,071
5	cm163a	16 / 5	0	153920	64	1221312	0	12,603	0,005
6	alu2	10 / 6	0	12663	0	62838	0	20,152	0
7	x2	10 / 7	0	2524	0	19708	0	12,807	0
8	alu4	14 / 8	0	372633	0	1980377	0	18,816	0
9	cm138a	6 / 8	0	0	0	680	0	0	0
10	f51m	8 / 8	0	887	0	13264	0	6,687	0
11	pclе	19 / 9	0	1018583	0	17472087	0	5,83	0
12	cm42a	4 / 10	0	8	0	278	0	2,878	0
13	cu	14 / 11	0	61888	0	137984	0	44,852	0
14	pml	16 / 13	0	43776	0	757760	0	5,777	0
15	sct	19 / 15	0	557008	0	16586128	0	3,358	0
16	decod	5 / 16	0	0	0	224	0	0	0
17	tcon	17 / 16	0	0	0	4849664	0	0	0
18	pcler8	27 / 17	0	917294976	0	4331229952	0	21,179	0
19	ldd	9 / 19	0	4813	0	30182	0	15,947	0
20	cc	21 / 20	0	3873752	0	35167192	0	11,015	0
21	tft2	24 / 21	0	33948368	0	755063504	0	4,496	0

Заключение. При синтезе отказоустойчивых дискретных устройств и систем вместо традиционной структурной схемы коррекции с тройной модульной избыточностью (M-структуры) могут использоваться структуры на основе двойной модульной избыточности, при этом копия исходного устройства должна снабжаться схемой контроля по какому-либо диагностическому признаку. В данной работе предлагается осуществлять контроль по разделимым кодам с повторением, кодам паритета и специальным взвешенным кодам с суммированием, что обеспечивает возможность синтеза типовых структур схем коррекции сигналов.

Предложенные D-, P- и T-структуры схем коррекции сигналов являются типовыми. Каждый из компонентов структуры присутствует в любой базе функциональных элементов средств автоматизированного проектирования. Блоки контрольной логики схем контроля формируются путем оптимизации двухкаскадных схем: первый каскад — само исходное устройство, второй каскад — кодер используемого в схеме коррекции кода.

Во всех рассмотренных структурах не корректируются ошибки непосредственно схем коррекции. В структурах на основе двойной модульной избыточности это ошибки элементов логического умножения и элементов сложения по модулю два, в структуре на основе тройной модульной избыточности — ошибки выходного каскада мажоритарных элементов. Данная проблема решается путем применения высоконадежной элементной базы при реализации самих схем коррекции.

СПИСОК ЛИТЕРАТУРЫ

1. Щербаков Н. С. Достоверность работы цифровых устройств. М.: Машиностроение, 1989. 224 с.
2. Согомонян Е. С., Слабаков Е. В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 208 с.

3. Микони С. В. Общие диагностические базы знаний вычислительных систем. СПб: СПИИРАН, 1992. 234 с.
4. Гавзов Д. В., Сапожников В. В., Сапожников Вл. В. Методы обеспечения безопасности дискретных систем // Автоматика и телемеханика. 1994. № 8. С. 3—50.
5. Гаврилов М. А., Остиану В. М., Потехин А. И. Надежность дискретных систем / Итоги науки и техники. Серия „Теория вероятностей. Математическая статистика. Теоретическая кибернетика“. М.: ВИНТИ, 1969, 1970. С. 7—104.
6. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды Хэмминга в системах функционального контроля логических устройств. СПб: Наука, 2018. 151 с.
7. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды с суммированием для систем технического диагностирования. Т. 1. Классические коды Бергера и их модификации. М.: Наука, 2020. 383 с.
8. Efanov D., Sapozhnikov V., Sapozhnikov V. Generalized algorithm of building summation codes for the tasks of technical diagnostics of discrete systems // Proc. of the 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, Sept. 29 — Oct. 2, 2017. P. 365—371. DOI: 10.1109/EWDTS.2017.8110126.
9. Piestrak S. J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. 111 p.
10. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. Experimental study on Hamming and Hsiao codes in the context of embedded applications // Proc. of the 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, Sept. 29 — Oct. 2, 2017. P. 25—28. DOI: 10.1109/EWDTS.2017.8110065.
11. Стемповский А. Л., Тельпухов Д. В., Жукова Т. Д., Гуров С. И., Соловьев Р. А. Методы синтеза сбоеустойчивых комбинационных КМОП схем, обеспечивающих автоматическое исправление ошибок // Изв. ЮФУ. Технические науки. 2017. № 7 (192). С. 197—210. DOI: 10.23683/2311-3103-2017-7-197-210.
12. Stempkovskiy A., Telpukhov D., Gurov S., Zhukova T., Demeneva A. R-code for concurrent error detection and correction in the logic circuits // IEEE Conf. of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), Moscow, Russia, Jan. 29—Febr. 1, 2018. P. 1430—1433. DOI: 10.1109/EIConRus.2018.8317365.
13. Sogomonyan E. S. Self-Correction Fault-Tolerant Systems. – Preprint, 2018 [Электронный ресурс]: <https://www.researchgate.net/publication/328578644_Self-Correction_Fault-Tolerant_Systems>.
14. Харченко В. С. Модели и свойства многоальтернативных отказоустойчивых систем // Автоматика и телемеханика. 1992. № 12. С. 140—147.
15. Абрамов В. М., Никифоров Б. Д., Шалягин Д. В. Безопасность систем железнодорожной автоматики и телемеханики // Наука и техника транспорта. 2005. № 4. С. 28—43.
16. Бестемьянов П. Ф. Методы обеспечения безопасности и надежности микропроцессорных устройств железнодорожной автоматики и телемеханики // Тр. Междунар. симп. „Надежность и качество“. 2007. Т. 2. С. 273—274.
17. Hamamatsu M., Tsuchiya T., Kikuno T. Finding the optimal configuration of a cascading TMR system // Proc. of the 14th IEEE Pacific Rim Intern. Symp. on Dependable Computing, Taipei, Taiwan, 15—17 Dec. 2008. P. 329—350. DOI: 10.1109/PRDC.2008.12.
18. Chakraborty A. Fault tolerant fail safe system for railway signalling // Proc. of the World Congress on Engineering and Computer Science (WCECS 2009), San Francisco, USA, Oct. 20—22, 2009. Vol. II.
19. Matsumoto K., Uehara M., Mori H. Evaluating the fault tolerance of stateful TMR // Proc. of the 13th Intern. Conf. on Network-Based Information Systems, Takayama, Japan, 14—16 Sept. 2010. P. 332—336. DOI: 10.1109/NBiS.2010.86.
20. Borecký J., Kohlík M., Vít P., Kubátová H. Enhanced duplication method with tmr-like masking abilities // Euromicro Conf. on Digital System Design (DSD), Limassol, Cyprus, 31 Aug. — 2 Sept. 2016. P. 690—693. DOI: 10.1109/DSD.2016.91.
21. Drozd O., Sachenko A., Antoshchuk S., Drozd J., Kuznietsov M. Use of Natural information redundancy in on-line testing of computer systems and their components // Proc. of the 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, Sept. 13—16, 2019. P. 131—135. DOI: 10.1109/EWDTS.2019.8884396.
22. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Основы теории надежности и технической диагностики. СПб: Изд-во „Лань“, 2019. 588 с.

23. Склад В. В., Харченко В. С. Отказоустойчивые компьютерные системы управления с версионно-пороговой адаптацией: способы адаптации, оценка надежности, выбор архитектур // Автоматика и телемеханика. 2002. № 6. С. 131—145.
24. Бочков К. А., Харлап С. Н., Сивко Б. В. Разработка отказоустойчивых систем на основе диверситетных базисов // Автоматика на транспорте. 2016. Т. 2, № 1. С. 47—64.
25. Склад В. В. Обеспечение безопасности АСУТП в соответствии с современными стандартами. М.: Инфра-Инженерия, 2018. 384 с.
26. Кодирование информации (двоичные коды) / Н. Т. Березюк, А. Г. Андрущенко, С. С. Моцицкий, В. И. Глушков, М. М. Бенеша, В. А. Гаврилов; Под ред. Н. Т. Березюка. Харьков: Вища школа, 1978. 252 с.
27. Аксенова Г. П. О функциональном диагностировании дискретных устройств в условиях работы с неточными данными // Проблемы управления. 2008. № 5. С. 62—66.
28. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В., Дмитриев В. В. Новые структуры систем функционального контроля логических схем // Автоматика и телемеханика. 2017. № 2. С. 127—143.
29. Гессель М., Морозов А. А., Сапожников В. В., Сапожников Вл. В. Исследование комбинационных самопроверяемых устройств с независимыми и монотонно независимыми выходами // Автоматика и телемеханика. 1997. № 2. С. 180—193.
30. Morosow A., Sapozhnikov V. V., Sapozhnikov Vl. V., Goessel M. Self-checking combinational circuits with unidirectionally independent outputs // VLSI Design. 1998. Vol. 5, iss. 4. P. 333—345. DOI: 10.1155/1998/20389.
31. Ефанов Д. В., Сапожников В. В., Сапожников Вл. В. Синтез самопроверяемых комбинационных устройств на основе выделения специальных групп выходов // Автоматика и телемеханика. 2018. № 9. С. 79—94.
32. Collection of Digital Design Benchmarks [Электронный ресурс]: <<http://ddd.fit.cvut.cz/prj/Benchmarks/>>.
33. Sentovich E. M., Singh K. J., Moon C., Savoj H., Brayton R. K., Sangiovanni-Vincentelli A. Sequential circuit design using synthesis and optimization // Proc. IEEE Intern. Conf. on Computer Design: VLSI in Computers & Processors, Cambridge, MA, 11—14 Oct. 1992. P. 328—333. DOI: 10.1109/ICCD.1992.276282.

Сведения об авторах

- Валерий Владимирович Сапожников** — д-р техн. наук, профессор; Петербургский государственный университет путей сообщения Императора Александра I, кафедра автоматки и телемеханики на железных дорогах;
E-mail: port.at.pgups@gmail.com
- Владимир Владимирович Сапожников** — д-р техн. наук, профессор; Петербургский государственный университет путей сообщения Императора Александра I, кафедра автоматки и телемеханики на железных дорогах;
E-mail: at.pgups@gmail.com
- Дмитрий Викторович Ефанов** — д-р техн. наук, доцент; Российский университет транспорта, кафедра автоматки, телемеханики и связи на железнодорожном транспорте; ООО „ВЕГА Инжиниринг“; зам. генерального директора; E-mail: TrES-4b@yandex.ru

Поступила в редакцию
20.04.2020 г.

Ссылка для цитирования: Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Структуры схем коррекции сигналов на основе двойной модульной избыточности с контролем вычислений // Изв. вузов. Приборостроение. 2020. Т. 63, № 8. С. 687—701.

STRUCTURES OF SIGNAL CORRECTION CIRCUITS BASED ON DOUBLE MODULAR REDUNDANCY WITH COMPUTATION CONTROL

V. V. Sapozhnikov¹, Vl. V. Sapozhnikov¹, D. V. Efanov²

¹Emperor Alexander I St. Petersburg State Transport University
190031, St. Petersburg, Russia

²Russian University of Transport, 127994, Moscow, Russia,
VEGA Engineering LLC, 191186, St. Petersburg, Russia
E-mail: TrES-4b@yandex.ru

Methods of synthesis of fault-tolerant discrete devices and systems are investigated. A block diagram of signal correction based on the use of double modular redundancy with control of calculations by a preselected feature is proposed. Three options for the implementation of this structure are analyzed. The first structure is based on the control of computations by a copy of the original device by code with repetition, which in fact implies the use of a computation control scheme by the duplication method. The second structure is the control of computations based on a parity code. In the third structure, the control scheme uses a special code with summation of the coefficients of weighted transitions from category to category in the information vector, which makes it possible to construct a control scheme that is simpler than with duplication. Results of experiments on evaluating the efficiency and complexity of the technical implementation of each of the proposed structures with the use of control combinational circuits LGSynth'89 and MCNC Benchmarks are presented. The proposed structures of signal correction circuits based on double modular redundancy are built from standard blocks, which allows them to be widely used for synthesis of fault-tolerant discrete devices.

Keywords: fault-tolerant discrete devices, structural redundancy of the device, triple modular redundancy, double modular redundancy, built-in control circuit, computation control by code with repetition, computation control by parity, computation control by code with summation of weighted transitions

REFERENCES

1. Shcherbakov N.S. *Dostovernost' raboty tsifrovyykh ustroystv* (Reliability of Digital Devices), Moscow, 1989, 224 p. (in Russ.)
2. Sogomonyan E.S., Slabakov E.V. *Samoproveryaemye ustroystva i otkazoustoychivye sistemy* (The Self-Checked Devices and Failure-Safe Systems), Moscow, 1989, 208 p. (in Russ.)
3. Mikoni S.V. *Obshchiye diagnosticheskiye bazy znaniy vychislitel'nykh sistem* (General Diagnostic Knowledge Bases of Computing Systems), St. Petersburg, 1992, 234 p. (in Russ.)
4. Gavzov D.V., Sapozhnikov V.V., Sapozhnikov Vl.V. *Avtomatika i Telemekhanika*, 1994, no. 8, pp. 3–50. (in Russ.)
5. Gavrilov M.A., Ostianu V.M., Potekhin A.I. *Itogi nauki i tekhniki. Seriya "Teoriya veroyatnostey. Matematicheskaya statistika. Teoreticheskaya kibernetika"*, 1969, 1970, pp. 7–104. (in Russ.)
6. Sapozhnikov V.V., Sapozhnikov Vl.V., Efanov D.V. *Kody Khemminga v sistemakh funktsional'nogo kontrolya logicheskikh ustroystv* (Hamming Codes in Logic Devices Functional Control Systems), St. Petersburg, 2018, 151 p. (in Russ.)
7. Sapozhnikov V.V., Sapozhnikov Vl.V., Efanov D.V. *Kody s summirovaniyem dlya sistem tekhnicheskogo diagnostirovaniya. Tom 1: Klassicheskiye kody Bergera i ikh modifikatsii* (Summed Codes for Technical Diagnostic Systems. Volume 1: Classic Berger Codes and Their Modifications), Moscow, 2020, 383 p. (in Russ.)
8. Efanov D., Sapozhnikov V., Sapozhnikov Vl. *Proceedings of the 15th IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, September 29–October 2, 2017, pp. 365–371. DOI: 10.1109/EWDTS.2017.8110126.
9. Piestrak S.J. *Design of Self-Testing Checkers for Unidirectional Error Detecting Codes*, Wrocław, Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
10. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. *Proceedings of the 15th IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, September 29–October 2, 2017, pp. 25–28. DOI: 10.1109/EWDTS.2017.8110065.
11. Stempkovskiy A.L., Telpukhov D.V., Zhukova T.D., Gurov S.I., Solovyev R.A. *Izvestiya SFedU. Engineering Sciences*, 2017, no. 7(192), pp. 197–210. DOI 10.23683/2311-3103-2017-7-197-210.
12. Stempkovskiy A., Telpukhov D., Gurov S., Zhukova T., Demeneva A. *2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*, 29 January–1 February 2018, Moscow, Russia, pp. 1430–1433. DOI: 10.1109/EIConRus.2018.8317365.
13. Sogomonyan E.S. *Self-Correction Fault-Tolerant Systems*, Preprint, October 2018, 30 p. https://www.researchgate.net/publication/328578644_Self-Correction_Fault-Tolerant_Systems.
14. Kharchenko V.S. *Avtomatika i Telemekhanika*, 1992, no. 12, pp. 140–147. (in Russ.)
15. Abramov V.M., Nikiforov B.D., Shalyagin D.V. *Nauka i tekhnika transporta*, 2005, no. 4, pp. 28–43. (in Russ.)

16. Bestem'yanov P.F. *Nadezhnost' i kachestvo* (Reliability and Quality), Proceedings of the International Symposium, 2007, vol. 2, pp. 273–274. (in Russ.)
17. Hamamatsu M., Tsuchiya T., Kikuno T. *14th IEEE Pacific Rim International Symposium on Dependable Computing*, 15–17 December 2008, Taipei, Taiwan, pp. 329–350. DOI: 10.1109/PRDC.2008.12.
18. Chakraborty A. *Proceedings of the World Congress on Engineering and Computer Science (WCECS 2009)*, USA San Francisco, Vol. II, October 20–22, 2009.
19. Matsumoto K., Uehara M., Mori H. *13th International Conference on Network-Based Information Systems*, 14–16 September 2010, Takayama, Japan, pp. 332–336, doi: 10.1109/NBiS.2010.86.
20. Borecký J., Kohlík M., Vít P., Kubátová H. *Euromicro Conference on Digital System Design (DSD)*, 31 August–2 September 2016, Limassol, Cyprus, pp. 690–693. DOI: 10.1109/DSD.2016.91.
21. Drozd O., Sachenko A., Antoshchuk S., Drozd J., Kuznietsov M. *Proceedings of the 17th IEEE East-West Design & Test Symposium (EWDTS'2019)*, Batumi, Georgia, September 13–16, 2019, pp. 131–135. DOI: 10.1109/EWDTS.2019.8884396.
22. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Osnovy teorii nadezhnosti i tekhnicheskoy diagnostiki* (Fundamentals of the Theory of Reliability and Technical Diagnostics), St. Petersburg, 2019, 588 p. (in Russ.)
23. Sklyar V.V., Kharchenko V.S. *Automation and Remote Control*, 2002, no. 6(63), pp. 991–1003.
24. Bochkov K.A., Kharlap S.N., Sivko B.V. *Automation on Transport*, 2016, no. 1(2), pp. 47–64. (in Russ.)
25. Sklyar V.V. *Obespecheniye bezopasnosti ASUTP v sootvetstvii s sovremennymi standartami* (Ensuring the Safety of the Process Control System in Accordance with Modern Standards), Moscow, 2018, 384 p. (in Russ.)
26. Berezyuk N.T., Andrushchenko A.G., Moshchitskiy S.S., Glushkov V.I., Benesha M.M., Gavrilov V.A. *Kodirovaniye informatsii (dvoichnyye kody)* (Information Coding (Binary Codes)), Khar'kov, 1978, 252 p. (in Russ.)
27. Aksyonova G.P. *Problemy upravleniya*, 2008, no. 5, pp. 62–66. (in Russ.)
28. Sapozhnikov V.V., Efanov D.V., Dmitriev V.V. *Automation and Remote Control*, 2017, no. 2(78), pp. 300–312.
29. Gessel' M., Morozov A.A., Sapozhnikov V.V., Sapozhnikov VI.V. *Automation and Remote Control*, 1997, no. 2, pp. 180–193. (in Russ.)
30. Morosow A., Sapozhnikov V.V., Sapozhnikov VI.V., Goessel M. *VLSI Design*, 1998, no. 4(5), pp. 333–345. DOI: 10.1155/1998/20389.
31. Efanov D.V., Sapozhnikov V.V. *Automation and Remote Control*, 2018, no. 9(79), pp. 1609–1620.
32. *Collection of Digital Design Benchmarks*, <http://ddd.fit.cvut.cz/prj/Benchmarks/>.
33. Sentovich E.M., Singh K.J., Moon C., Savoj H., Brayton R.K., Sangiovanni-Vincentelli A. *Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors*, 11–14 October 1992, Cambridge, MA, USA, USA, pp. 328–333. DOI: 10.1109/ICCD.1992.276282.

Data on authors

- | | |
|--------------------------------|--|
| Valery V. Sapozhnikov | — Dr. Sci., Professor; Emperor Alexander I St. Petersburg State Transport University, Department of Automation and Remote Control on Railways; E-mail: port.at.pgups@gmail.com |
| Vladimir V. Sapozhnikov | — Dr. Sci., Professor; Emperor Alexander I St. Petersburg State Transport University, Department of Automation and Remote Control on Railways; E-mail: at.pgups@gmail.com |
| Dmitry V. Efanov | — Dr. Sci., Associate Professor; Russian University of Transport; Department of Automation, Remote Control, and Communication in Railway Transport; VEGA Engineering LLC; Deputy General Director; E-mail: TrES-4b@yandex.ru |

For citation: Sapozhnikov V. V., Sapozhnikov VI. V., Efanov D. V. Structures of signal correction circuits based on double modular redundancy with computation control. *Journal of Instrument Engineering*. 2020. Vol. 63, N 8. P. 687—701 (in Russian).

DOI: 10.17586/0021-3454-2020-63-8-687-701