

СИНТЕЗ САМОПРОВЕРЯЕМЫХ КОМБИНАЦИОННЫХ УСТРОЙСТВ
С КОНТРОЛЕМ ВЫЧИСЛЕНИЙ ПО ДВУМ ДИАГНОСТИЧЕСКИМ ПАРАМЕТРАМ

Д. В., ЕФАНОВ^{1*} Д. В. ПИВОВАРОВ²

¹ *Российский университет транспорта, Москва, Россия,
Санкт-Петербургский политехнический университет Петра Великого, Санкт-Петербург, Россия*
* *TrES-4b@yandex.ru*

² *Петербургский государственный университет путей сообщения Императора Александра I,
Санкт-Петербург, Россия*

Аннотация. Предложена структура организации схем встроенного контроля для логических устройств автоматики и вычислительной техники, основанная на использовании двух диагностических параметров (гибридная структура). В качестве первого диагностического параметра рассматривается принадлежность контролируемых в схеме встроенного контроля функций заранее выбранному избыточному коду, а в качестве второго диагностического параметра — принадлежность каждой функции к классу самодвойственных функций. Приведено подробное описание гибридной структуры организации схемы встроенного контроля. Рассмотрены частные случаи ее реализации — применение для контроля равновесных кодов „2 из 4“ и стандартных модулей сжатия парафазных сигналов. Продемонстрированы возможности использования специализированных схем предварительного сжатия сигналов с выходов объекта диагностирования, необходимых для сокращения вносимой структурной избыточности при синтезе схемы встроенного контроля. Приведен пример реализации схемы встроенного контроля по гибридной структуре. Рассмотрен алгоритм пошагового определения функций блока контрольной логики с учетом особенностей реализации полностью самопроверяемого цифрового устройства.

Ключевые слова: самопроверяемое устройство, схема встроенного контроля, контроль вычислений, контроль принадлежности заданному избыточному коду, равновесный код „2 из 4“, контроль самодвойственности, контроль по двум диагностическим параметрам

Ссылка для цитирования: Ефанов Д. В., Пивоваров Д. В. Синтез самопроверяемых комбинационных устройств с контролем вычислений по двум диагностическим параметрам // Изв. вузов. Приборостроение. 2022. Т. 65, № 7. С. 461—477. DOI: 10.17586/0021-3454-2022-65-7-461-477.

SYNTHESIS OF SELF-TESTABLE COMBINATIONAL DEVICES
WITH CONTROL OF CALCULATIONS BY TWO DIAGNOSTIC PARAMETERS

D. V. Efanov^{1*}, D. V. Pivovarov²

¹ *Russian University of Transport, Moscow, Russia,
Peter the Great St. Petersburg Polytechnic University, St. Petersburg, Russia*
* *TrES-4b@yandex.ru*

² *Emperor Alexander I St. Petersburg State Transport University,
St. Petersburg, Russia*

Abstract. The structure of the organization of integrated control circuits for logic devices of automation and computer technology based on the use of two diagnostic parameters (hybrid structure) is proposed. As the first diagnostic parameter, belonging of the controlled functions in the circuit to a pre-selected redundant code is taken, and as the

second diagnostic parameter, the affiliation of each function to a class of self-dual functions is considered. A detailed description of the hybrid structure of the organization of the integrated control circuit is given. Special cases of its implementation are considered — the use of "2 out of 4" constant-weight code codes and standard compression modules for two-rail signals. The possibilities of using specialized circuits for pre-compression of signals from the outputs of the diagnostic object necessary to reduce structural redundancy during the synthesis of the integrated control circuit are demonstrated. An example of the implementation of the integrated control circuit scheme for a hybrid structure is given. The algorithm of step-by-step determination of the functions of the control logic block is considered, taking into account the features of the implementation of a fully self-checking digital device.

Keywords: self-checking device, built-in self-checking monitoring circuit, computing check, belonging to a given redundant code control, "2 out of 4" constant-weight code, self-dual Boolean control, control by two diagnostic parameters

For citation: Efanov D. V., Pivovarov D. V. Synthesis of self-testable combinational devices with control of calculations by two diagnostic parameters. *Journal of Instrument Engineering*. 2022. Vol. 65, N 7. P. 461—477 (in Russian). DOI: 10.17586/0021-3454-2022-65-7-461-477.

Введение. При разработке устройств автоматики и вычислительной техники, наряду с необходимостью выполнения основных алгоритмов при штатной работе, одной из важных задач является своевременное обнаружение возникающих в процессе эксплуатации неисправностей [1, 2]. На этапе синтеза устройства важно обеспечить функции контролепригодности и обнаружения неисправностей в элементах его структуры (исключать скрытые неисправности) [3, 4]. Требуется не допускать накопления неисправностей, что позволит свести к минимуму вероятность возникновения кратных отказов и их влияния на результаты вычислений. Именно поэтому важно наделить устройство еще и свойством самопроверяемости — способности обнаружения неисправностей в моменты их появления [5].

При построении самопроверяемого устройства широко применяются дополнительные схемы встроенного контроля (СВК), позволяющие косвенно, по результатам вычислений основным устройством $F(x)$ своих функций $f_1, f_2, \dots, f_{m-1}, f_m$, определять наличие неисправностей (рис. 1) [6, 7]. Неисправности устройства $F(x)$ в случае его контролепригодной реализации приводят к искажению вычисляемых значений сигналов на выходах элементов внутренней структуры. Искажения, распространяясь в устройстве на его выходы $f_1, f_2, \dots, f_{m-1}, f_m$, вызывают, в свою очередь, искажения тех или иных разрядов, что как раз и фиксируется в СВК. СВК имеет два выхода z^0 и z^1 , предназначенные для сигнализации о возникающих ошибках в вычислениях в одном из модулей или на одной из линий устройства. Сигнал на выходе СВК кодируется в парафазной логике: парафазные значения $\langle 01 \rangle$ и $\langle 10 \rangle$ говорят об исправности основного устройства $F(x)$ и элементов СВК, а непарафазные значения $\langle 00 \rangle$ и $\langle 11 \rangle$ — о наличии неисправностей в одном из блоков.

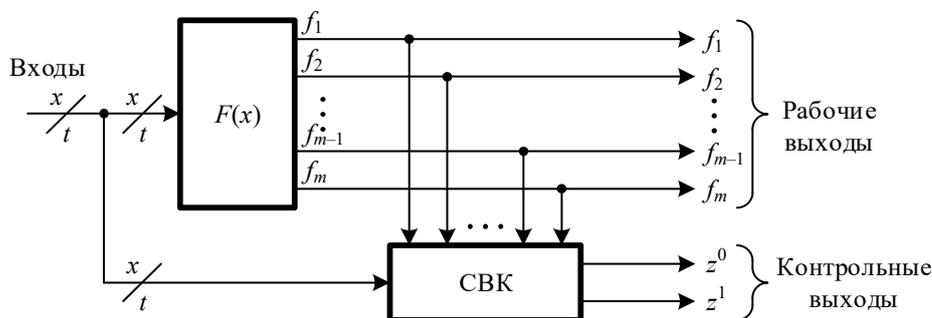


Рис. 1

При реализации устройства оговаривается модель неисправностей, относительно которой оно будет самопроверяемым. Исходя из этого в дальнейшем и реализуется СВК. При этом необходимо отметить, что устройство $F(x)$ само по себе должно быть контролепригод-

ным и проверяемым. Последнее свойство означает, что любая неисправность из заданного класса (определяемого моделью неисправностей) в устройстве $F(x)$ должна проявляться в виде искажения значения хотя бы на одном из его выходов [5]. Далее остановимся на рассмотрении частного случая — модели одиночной константной неисправности выходов элементов внутренней структуры (stuck-at faults) [8]. В зависимости от технологии реализации устройства данная модель покрывает от 80 до 95 % реальных физических дефектов.

При синтезе СВК особое внимание уделяется двум основным характеристикам: сложности технической реализации и обнаруживающей способности. Сложность технической реализации характеризует структурную избыточность самопроверяемого устройства. Обнаруживающая способность демонстрирует возможность фиксации в СВК допустимого множества искажений на выходах $f_1, f_2, \dots, f_{m-1}, f_m$ устройства $F(x)$: если фиксируются все возможные искажения, то СВК является полностью самопроверяемой, если фиксируется только некое подмножество возможных искажений, то СВК полностью самопроверяемой не является.

При синтезе СВК применяются методы теории информации и кодирования. Выходы $f_1, f_2, \dots, f_{m-1}, f_m$ в СВК кодируются заранее определенным двоичным избыточным равномерным кодом. Это реализуется либо за счет преобразования самих функций $f_1, f_2, \dots, f_{m-1}, f_m$, либо за счет их дополнения специальными контрольными функциями $g_1, g_2, \dots, g_{k-1}, g_k$, что подразумевает использование блока контрольной логики $G(x)$ в СВК. Тестер позволяет установить принадлежность формируемых кодовых слов выбранному избыточному коду.

Так как основной задачей СВК является именно обнаружение искажений рабочих выходов $f_1, f_2, \dots, f_{m-1}, f_m$, то зачастую при синтезе схем применяются коды, ориентированные на обнаружение ошибок, а не на их исправление. Это обусловлено меньшей избыточностью первых, что сказывается и на меньшей аппаратной избыточности, вносимой в устройство. Среди кодов с обнаружением ошибок при синтезе СВК широко применяются разнообразные коды с суммированием, равновесные и полиномиальные коды [9—12]. Среди кодов, ориентированных не только на обнаружение ошибок, но и на их исправление, применяются коды Хэмминга, Рида — Маллера и другие систематические коды [13—16].

Необходимо также отметить, что при синтезе СВК в качестве диагностического может применяться параметр, характеризующий принадлежность вычисляемых функций заранее определенному особому классу функций алгебры логики, например классу самодвойственных функций. В этом случае принципы реализации СВК несколько отличаются [17, 18].

Характеристики обнаружения ошибок в СВК, реализуемых по кодовым методам, отличаются от аналогичных характеристик в схемах, реализуемых путем контроля вычислений по принадлежности функций заданному классу функций алгебры логики. Именно поэтому в предыдущих работах авторов были исследованы возможности использования двух диагностических параметров при синтезе СВК. При этом использовался признак принадлежности формируемого кодового слова равновесному коду „2 из 4“ (2/4-коду), а также признак принадлежности каждой подаваемой на входы тестера 2/4-кода (2/4-TSC) функции классу самодвойственных функций алгебры логики [19, 20]. Было установлено, что организация контроля по двум диагностическим параметрам существенно повышает характеристики обнаружения ошибок на выходах объекта диагностирования, чем контроль по одному какому-либо параметру. При исследованиях не использовались специальные схмотехнические приемы, связанные с поиском групп выходов, на которых обнаруживаются определенные виды ошибок конкретной кратностью, а также методы преобразования исходных структур объектов диагностирования в контролепригодные структуры по тому или иному признаку [21—25]. Показатели сложности технической реализации устройства с СВК по двум диагностическим параметрам, как правило, не превышали показателей сложности технической реализации стандартной структуры дублирования [26]. Для более значительного сокращения показателей

сложности технической реализации устройств может быть применен подход с использованием схемы сжатия сигналов по аналогии с тем, как это сделано в [27].

В настоящей статье развивается теория синтеза СВК по двум диагностическим параметрам.

Обобщенная структура организации СВК по двум диагностическим параметрам.

На рис. 2 представлена обобщенная структура организации СВК по двум диагностическим параметрам. Здесь объектом диагностирования является блок $F(x)$, вычисляющий функции $f_1, f_2, \dots, f_{m-1}, f_m$. В СВК выделены несколько функциональных блоков.

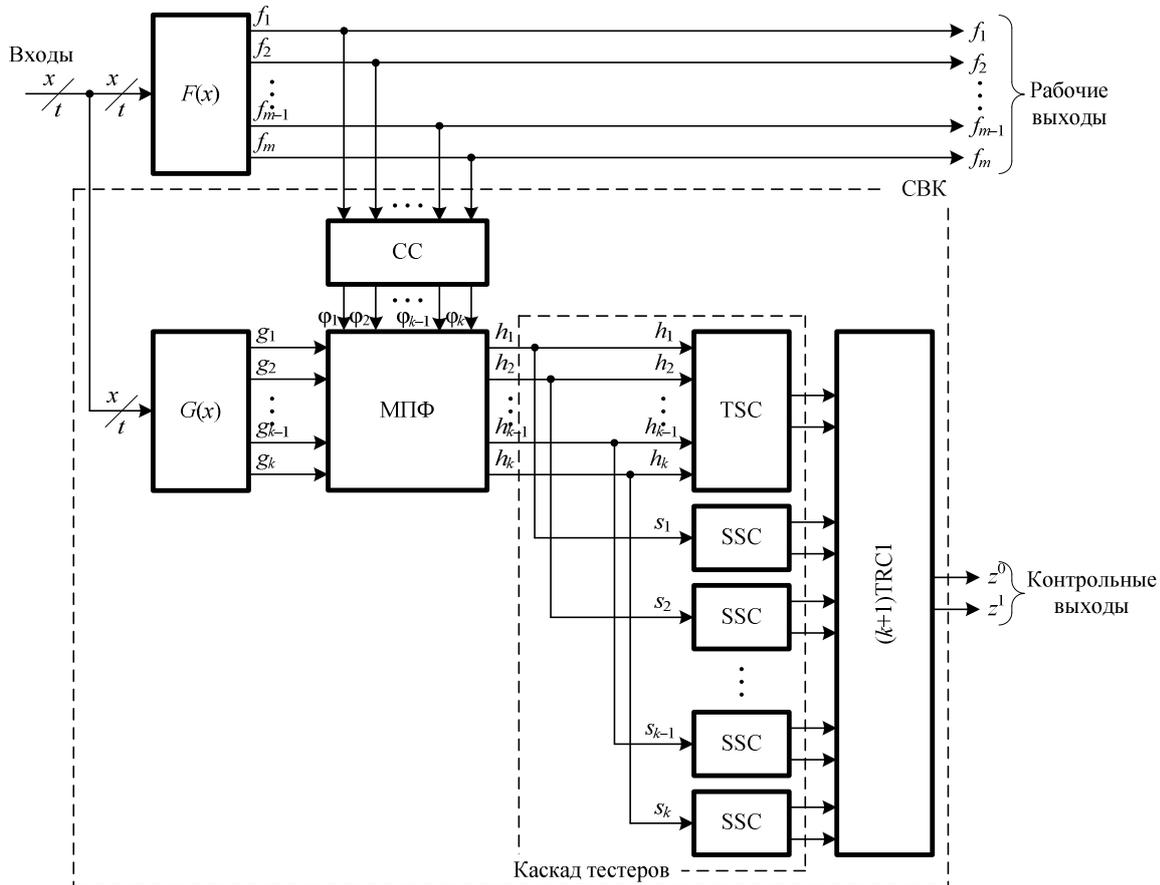


Рис. 2

Схема сжатия (СС) используется для сокращения числа „наблюдаемых“ выходов и, как следствие, для сокращения структурной избыточности самопроверяемого устройства. Эта схема преобразует вектор рабочих функций $\langle F \rangle = \langle f_m f_{m-1} \dots f_2 f_1 \rangle$ в вектор функций $\langle \Phi \rangle = \langle \varphi_k \varphi_{k-1} \dots \varphi_2 \varphi_1 \rangle$: $\langle F \rangle \rightarrow \langle \Phi \rangle$ (в данном случае $k < m$). Схема сжатия может быть реализована по любому принципу. В общем случае она представляет собой преобразователь (кодер). Например, в [28] рассматривается попарное сжатие сигналов, поступающих от блока $F(x)$, а в [29] предложено производить сжатие сигналов с использованием кодеров классического и модифицированного кодов с суммированием. Необходимо заметить, что использование схемы сжатия не является обязательным, и контроль вычислений можно производить сразу же по сигналам от рабочих функций $f_1, f_2, \dots, f_{m-1}, f_m$.

Блок контрольной логики $G(x)$ вычисляет специальные контрольные функции $g_1, g_2, \dots, \dots, g_{k-1}, g_k$. Значения сигналов с выходов блока $G(x)$ и схемы сжатия поступают на входы модуля преобразования функций (МПФ). Здесь происходит коррекция значений функций $\varphi_1, \varphi_2, \dots, \varphi_{k-1}, \varphi_k$, для чего используются контрольные функции. Преобразование осуществляется с помощью элементов сложения по модулю $M=2$ (элементов XOR) по правилу:

$h_i = \varphi_i \oplus g_i$, $i = \overline{1, k}$. Значения функций $h_1, h_2, \dots, h_{k-1}, h_k$ формируются такими, чтобы кодовый вектор $\langle H \rangle = \langle h_k h_{k-1} \dots h_2 h_1 \rangle$ принадлежал заранее выбранному избыточному коду, а каждая из функций h_i , $i = \overline{1, k}$, принадлежала классу самодвойственных функций алгебры логики. Это свойство достигается путем подбора значений функций $g_1, g_2, \dots, g_{k-1}, g_k$ на каждой входной комбинации для СВК и устройства $F(x)$. Для контроля принадлежности вычисляемых функций классу самодвойственных функций алгебры логики, а вектора $\langle H \rangle = \langle h_k h_{k-1} \dots h_2 h_1 \rangle$ выбранному избыточному коду устанавливается каскад тестеров. Он включает в себя тестер выбранного кода TSC (Totally Self-Checking Checker), а также k тестеров самодвойственных сигналов SSC (Self-Dual Self-Checking Checker), на входы которых поступают самодвойственные сигналы $s_i = h_i$, $i = \overline{1, k}$. Необходимо отметить, что число тестеров самодвойственных сигналов может быть и меньше в зависимости от того, сколько функций корректируется в модуле преобразования (см. пример в [27]). Выходы тестеров реализуют парафазный сигнал и объединяются на входах компаратора $(k+1)TRC1$, реализующего операцию сжатия $k+1$ парафазных сигналов (или меньшего в зависимости от способа преобразования сигналов схемы сжатия) в один парафазный сигнал $\langle z^0 z^1 \rangle$. Компаратор реализуется на основе стандартных модулей сжатия парафазных сигналов TRC (Two-Rail Checker) [30]. Каждый такой модуль снабжен двумя входами и одним выходом и, соответственно, производит сжатие двух парафазных сигналов в один. Он является полностью самопроверяемым. Для реализации компаратора при сжатии $k+1$ парафазных сигналов в один потребуется k модулей сжатия парафазных сигналов.

Как показывают исследования, не для любого избыточного кода* возможно, чтобы все его функции на всех входных комбинациях для СВК и устройства $F(x)$ принадлежали классу самодвойственных функций. Для этого подходят равновесные коды „ r из $2r$ “ ($r/2r$ -коды), некоторые коды с суммированием и некоторые систематические коды.

Обратим внимание читателя на то, что структура, изображенная на рис. 2, реализуется с учетом импульсного режима работы. Все сигналы представляются в виде последовательностей сменяемых значений. Сигнал „0“ кодируется последовательностью 0101...01, а сигнал „1“ — последовательностью 1010...10. Это требует специальной реализации устройства с генератором импульсной последовательности. Особенности синтеза самодвойственных устройств с СВК рассмотрены в [17, 18, 31—33].

Приведем схему тестера самодвойственного сигнала (рис. 3). Здесь самодвойственный сигнал f^* с помощью линии задержки, равной одному такту импульсной последовательности a , преобразуется в двухфазный сигнал $\langle v_1 v_2 \rangle$. Тестер оборудован двумя выходами и при самодвойственности входного сигнала формирует парафазный сигнал $\langle 01 \rangle$ либо $\langle 10 \rangle$ на выходах. При нарушении самодвойственности поступающего сигнала на выходе формируется непарафазный сигнал.

На рис. 4 представлена одна из известных структур модуля сжатия парафазных сигналов [34]. Данное устройство является стандартным. В структуре СВК, приведенной на рис. 2, стандартными являются также схема сжатия и модуль преобразования функций.

Из приведенных выше рассуждений следует, что синтез самопроверяемого устройства сводится к получению функций $g_1, g_2, \dots, g_{k-1}, g_k$, реализуемых блоком $G(x)$.

Рассмотрим далее некоторые частные случаи реализации структуры, приведенной на рис. 2.

* Поскольку функции, описывающие разряды кодового вектора, должны быть самодвойственными, то и на ортогональных по всем переменным входных комбинациях разряды кодового вектора должны принимать противоположные значения, а сами кодовые слова при этом должны принадлежать выбранному коду. Этим свойством обладают далеко не все разделимые и неразделимые коды.

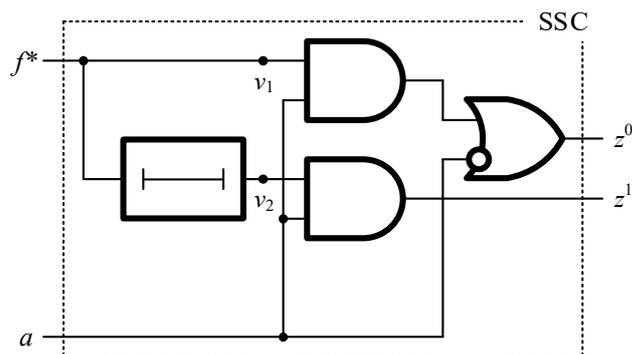


Рис. 3

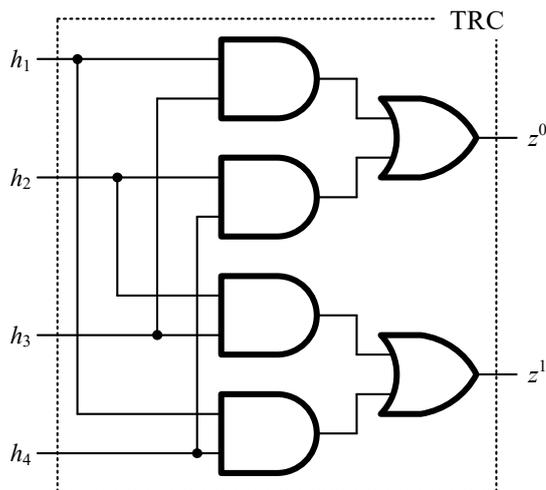


Рис. 4

Структуры организации СВК с применением 2/4-кода и модулей сжатия парафазных сигналов. Известно [35], что тестер 2/4-кода обладает уникальной особенностью по сравнению с тестерами других равновесных кодов — его самая простая реализация, приведенная на рис. 5, требует для полной проверки подачи всего четырех комбинаций из шести, принадлежащих данному коду*. Это комбинации {0011, 1100, 0110, 1001}. Кроме того, это наиболее простой по структуре тестер из известных тестеров равновесных кодов.

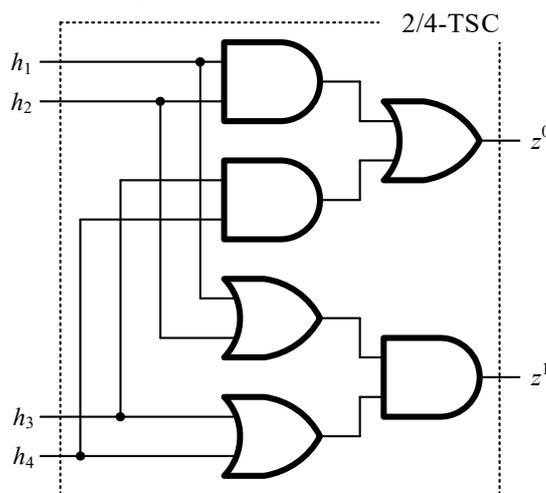


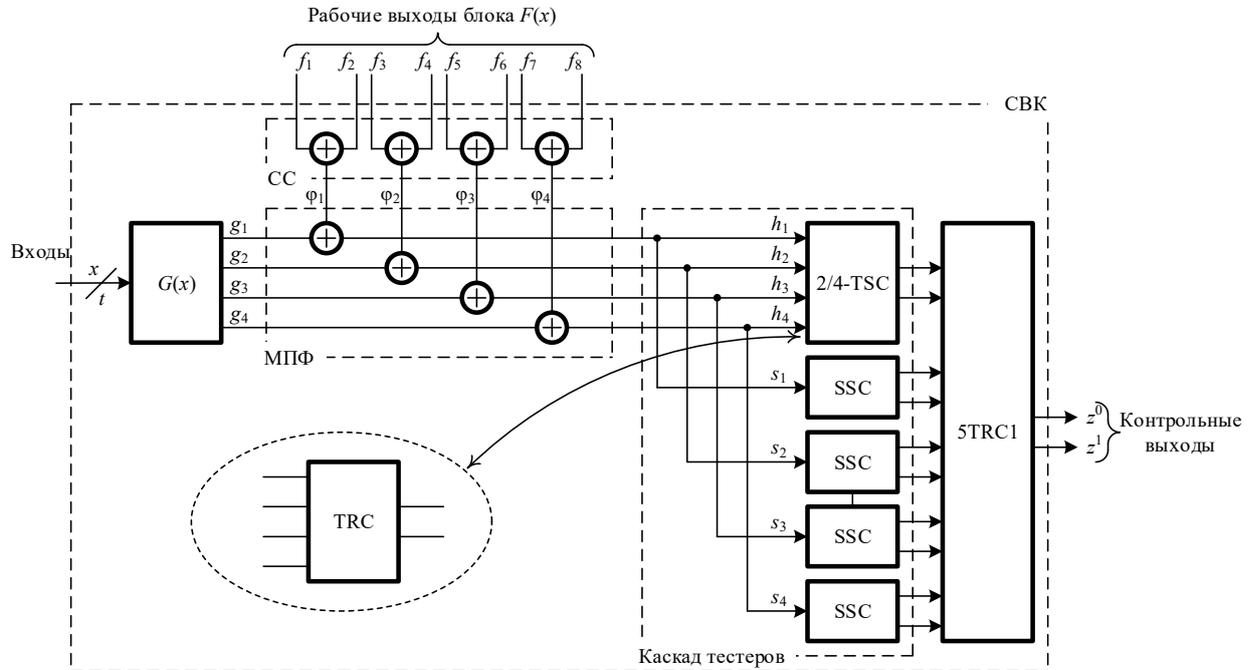
Рис. 5

* Необходимо заметить, что это, вообще говоря, минимально возможное количество проверяющих комбинаций, требующихся для полной проверки тестеров [35].

Сравнение рис. 4 и 5, показывает, что по сложности они сопоставимы. Более того, рабочими комбинациями для модуля сжатия парафазных сигналов являются комбинации из множества $\{0101, 1010, 0110, 1001\}$. Это комбинации 2/4-кода. Соответственно, модуль TRC также может использоваться для синтеза СВК по структуре, предложенной на рис. 2.

На рис. 6 и 7 представлены базовые структуры СВК для контроля многовыходных устройств с использованием гибридной структуры (см. рис. 2) и 2/4-кодов (модулей TRC) для контроля.

а)



б)

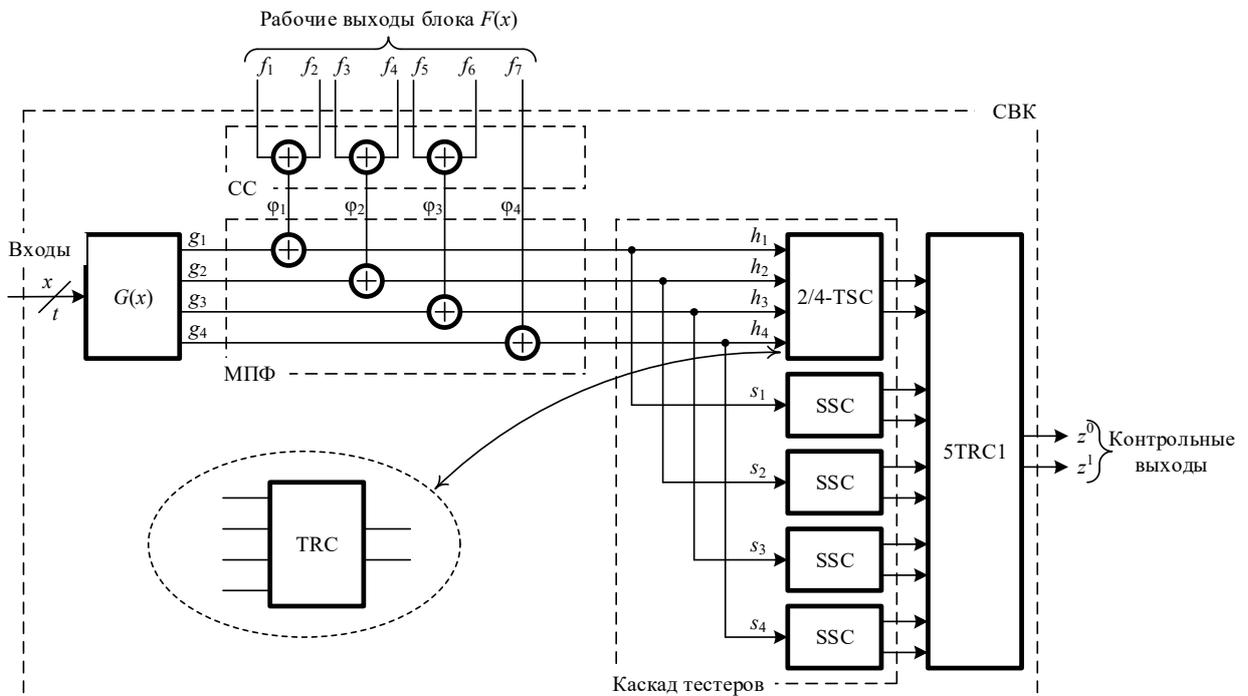


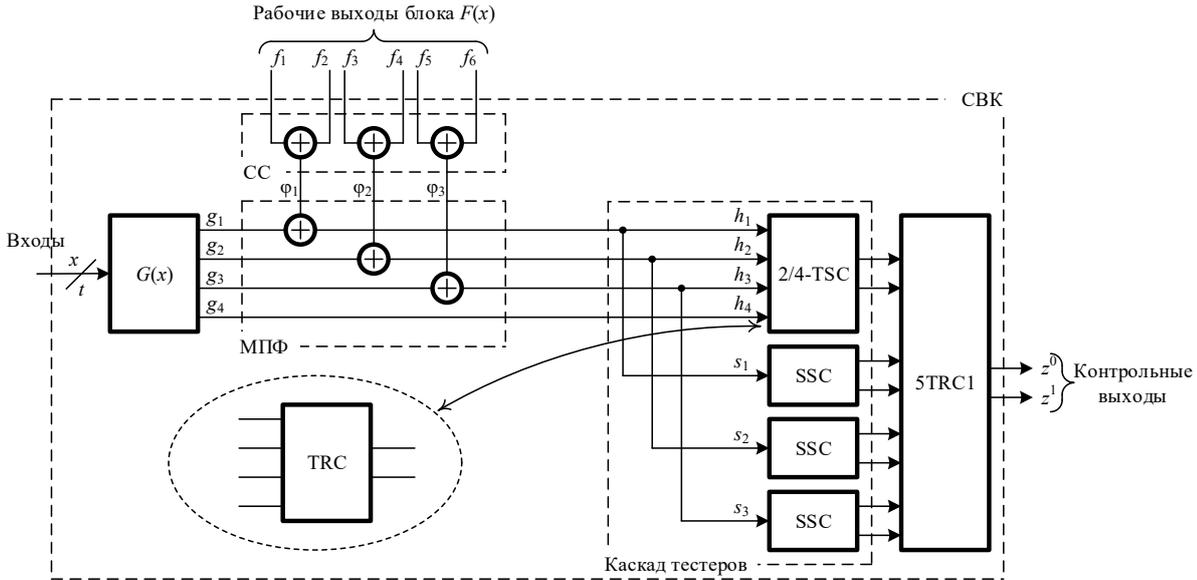
Рис. 6

Базовая структура (рис. 6, а) предназначена для контроля группы из 8 выходов устройства $F(x)$. В качестве схемы сжатия применяется структура с попарным сжатием сигналов с помощью элементов XOR, что дает получение четырех функций ϕ_1, ϕ_2, ϕ_3 и ϕ_4 . Эти функции

формируют вектор $\langle \varphi_4 \varphi_3 \varphi_2 \varphi_1 \rangle$, который преобразуется с помощью блока $G(x)$ в вектор $\langle h_4 h_3 h_2 h_1 \rangle$, принадлежащий равновесному 2/4-коду. Альтернативный вариант — использование преобразования в кодовые слова, которые являются рабочими комбинациями для модуля TRC. Для контроля самодвойственности каждой из четырех функций установлены блоки SSC. Выходы всех пяти тестеров объединены на входах самопроверяемого компаратора, реализуемого из четырех модулей сжатия парафазных сигналов. Именно такая структура с применением 2/4-кода описана в [27]. Эксперименты показывают ее эффективность для контроля комбинационных логических схем.

На рис. 6, б приведена данная структура для варианта контроля группы из 7 выходов устройства $F(x)$. В этом случае предлагается напрямую преобразовывать сигнал с выхода f_7 .

а)



б)

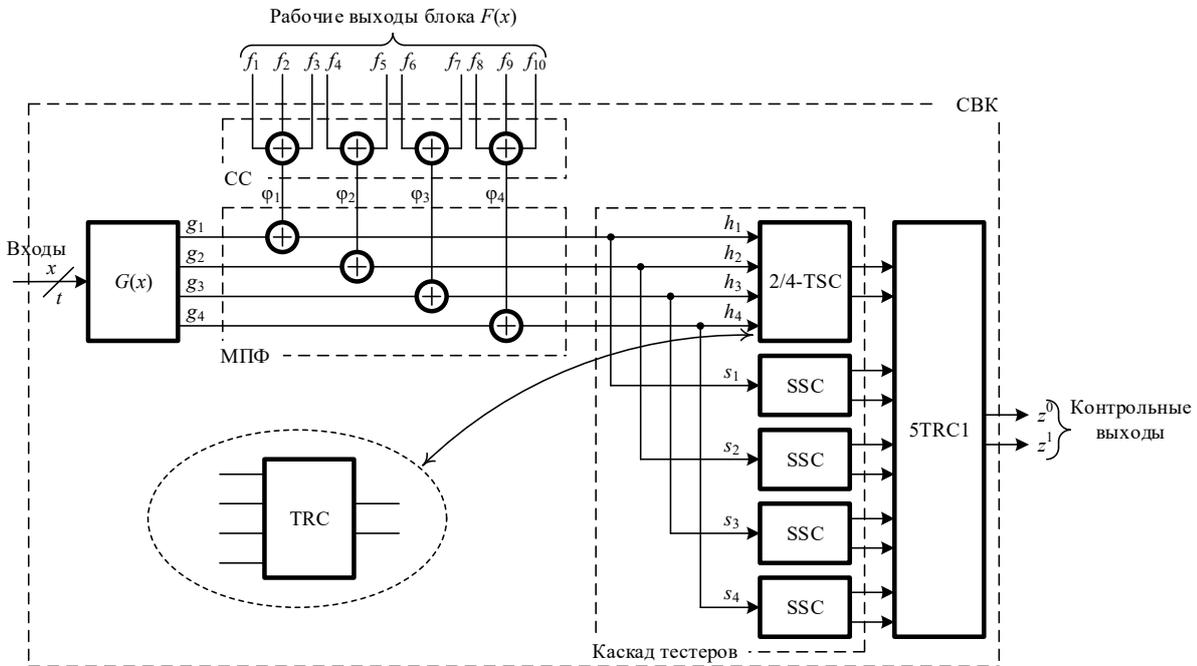


Рис. 7

На рис. 7, а представлен вариант организации СВК при числе функций в контролируемой группе, равном 6. Таким образом, сигналы со всех выходов устройства $F(x)$ сжимаются только в три сигнала, которые затем и преобразуются, формируя три функции h_1, h_2 и h_3 из

четырёх. Последняя функция напрямую вычисляется устройством $G(x)$. Так как с выходами объекта диагностирования она не связана, для ее контроля не устанавливается тестер самодвойственности, она нужна только для работы тестера выбранного кода.

На рис. 7, б приведен вариант организации СВК для группы из 10 выходов устройства $F(x)$. В этом случае предлагается модифицировать схему сжатия и использовать сжатие не двух сигналов, а сразу нескольких. Число вариантов организации схемы сжатия в данном случае становится большим, при этом, естественно, увеличивается и число маскируемых ошибок на выходах элементов XOR . Эффективность предлагаемого решения непосредственно зависит от особенностей объекта диагностирования и в каждом конкретном случае должна определяться путем моделирования его работы. Может быть использована и иная схема сжатия, например, на основе модифицированного кода с суммированием, предложенная в [29].

Пример синтеза СВК. Рассмотрим пример синтеза схемы встроенного контроля для устройства $F(x)$ с 8 выходами, работа которого задается табл. 1, где N — десятичный эквивалент двоичной входной комбинации. Для данного устройства реализуем СВК по структуре, приведенной на рис. 6, а.

Таблица 1

N	x_1	x_2	x_3	x_4	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8
0	0	0	0	0	0	1	0	0	1	1	0	1
1	0	0	0	1	0	0	0	1	1	1	0	0
2	0	0	1	0	0	1	0	1	0	1	1	0
3	0	0	1	1	0	0	1	1	0	0	0	0
4	0	1	0	0	1	0	1	0	1	0	0	1
5	0	1	0	1	1	1	1	1	1	0	1	1
6	0	1	1	0	0	0	0	1	1	0	0	0
7	0	1	1	1	1	1	1	1	1	0	0	1
8	1	0	0	0	1	0	0	0	0	1	1	1
9	1	0	0	1	0	1	0	0	0	1	0	0
10	1	0	1	0	0	1	1	0	0	0	0	0
11	1	0	1	1	0	0	0	1	0	0	1	1
12	1	1	0	0	0	0	0	0	1	0	0	1
13	1	1	0	1	1	0	1	1	0	1	0	1
14	1	1	1	0	0	0	0	0	0	0	1	1
15	1	1	1	1	1	1	1	1	1	1	0	0

В процессе синтеза, как отмечалось ранее, необходимо получить функции блока контрольной логики $G(x)$. Рассмотрим пошагово решение этой задачи.

Шаг 1. Определение функций на выходах схемы сжатия. В схеме сжатия реализуются функции $\varphi_1 = f_1 \oplus f_2$, $\varphi_2 = f_3 \oplus f_4$, $\varphi_3 = f_5 \oplus f_6$, $\varphi_4 = f_7 \oplus f_8$. Пары сжимаемых сигналов необходимо подбирать с учетом возможности формирования полного множества тестовых комбинаций для элементов сжатия $\{00, 01, 10, 11\}$ [35]. Для рассматриваемого примера это условие обеспечивается. Также для реальных устройств с известной структурой следует выбирать пары сжимаемых сигналов, для которых формируется наименьшее количество двукратных ошибок. Один из способов выбора пар сжимаемых сигналов описан в [36].

Так как рабочие функции блока $F(x)$ определены однозначно, операция определения значений функций сжатия тривиальна. Результаты вычислений занесены в графы φ_1 — φ_4 табл. 2.

Таблица 2

N	x_1	x_2	x_3	x_4	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	φ_1	φ_2	φ_3	φ_4	h_1	h_2	h_3	h_4	g_1	g_2	g_3	g_4	XOR_1	XOR_2	XOR_3	XOR_4	
0	0	0	0	0	0	1	0	0	1	1	0	1	1	0	0	1	1	0	0	1	0	0	0	0	0	10	00	00	10
1	0	0	0	1	0	0	0	1	1	1	0	0	0	1	0	0	0	0	1	1	0	0	0	1	0	00	10	01	00
2	0	0	1	0	0	1	0	1	0	1	1	0	1	1	1	1	1	0	0	1	0	1	1	0	10	10	11	11	10
3	0	0	1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	00	01	01	01	00
4	0	1	0	0	1	0	1	0	1	0	0	1	1	1	1	1	1	0	0	1	1	1	0	0	11	11	10	10	10
5	0	1	0	1	1	1	1	1	1	0	1	1	0	0	1	0	1	1	0	0	1	1	1	0	01	01	11	11	00
6	0	1	1	0	0	0	1	1	0	0	0	0	0	1	1	0	1	1	0	0	1	0	1	0	01	10	10	11	00
7	0	1	1	1	1	1	1	1	1	0	0	1	0	0	1	1	0	0	1	1	0	0	0	0	00	00	00	10	10
8	1	0	0	0	1	0	0	0	0	1	1	1	1	0	1	0	1	1	0	0	0	0	1	0	10	10	01	11	00
9	1	0	0	1	0	1	0	0	0	1	0	0	1	0	1	0	0	0	0	1	1	1	0	0	11	00	10	10	01
10	1	0	1	0	0	1	1	0	0	0	0	0	1	1	0	0	0	0	0	1	1	1	1	0	11	11	01	01	01
11	1	0	1	1	0	0	0	1	0	0	1	1	0	1	0	0	1	1	0	0	0	1	0	0	01	10	00	00	00
12	1	1	0	0	0	0	0	0	1	0	0	1	0	0	1	1	1	0	0	1	1	0	1	0	01	00	00	11	10
13	1	1	0	1	1	0	1	1	0	1	0	1	1	0	1	1	0	1	0	1	0	1	1	0	11	01	10	10	11
14	1	1	1	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1	0	0	1	1	0	1	01	00	00	00	01
15	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	0	00	01	01	01	00

Шаг 2. Определение функций на выходах модуля преобразования функций. Требуется рассчитать функции h_1, h_2, h_3 и h_4 , к которым предъявляются следующие требования.

1. Кодовый вектор $\langle h_4 h_3 h_2 h_1 \rangle$ должен принадлежать 2/4-коду и включать в себя только комбинации из множества $\{0011, 0101, 1001, 0110, 1010, 1100\}$. Так как для полной проверки тестера 2/4-TSC (см. рис. 5) не требуется подача комбинаций $\{0101, 1010\}$, они из рассмотрения исключаются и формируются только комбинации из множества $\{0011, 1001, 0110, 1100\}^*$.

2. Каждая из комбинаций $\{0011, 1001, 0110, 1100\}$ должна быть сформирована как минимум по одному разу, что требуется для полной проверки 2/4-TSC. Наилучшим считается вариант формирования каждой из комбинаций одинаковое количество раз, что обеспечивает полную проверку тестера при условии редкого изменения входных комбинаций (в данной статье эта особенность работы логических схем не обсуждается, так как определяется спецификой применения конечного устройства).

3. На входы элементов преобразования, реализующих функции $h_1 = \varphi_1 \oplus g_1$, $h_2 = \varphi_2 \oplus g_2$, $h_3 = \varphi_3 \oplus g_3$, $h_4 = \varphi_4 \oplus g_4$, должны хотя бы по разу поступать тестовые комбинации из множества $\{00, 01, 10, 11\}$.

4. Каждая из функций h_1, h_2, h_3 и h_4 должна быть самодвойственной. Для таких функций значения на ортогональных по всем переменным входных комбинациях должны быть противоположны.

5. Каждая из функций g_1, g_2, g_3 и g_4 , которая получается из выражений $h_1 = \varphi_1 \oplus g_1$, $h_2 = \varphi_2 \oplus g_2$, $h_3 = \varphi_3 \oplus g_3$, $h_4 = \varphi_4 \oplus g_4$, должна иметь наиболее простую форму логической записи, что позволит уменьшить число элементов для реализации блока контрольной логики. Так как выражения для функций g_1, g_2, g_3 и g_4 полностью определяются функциями φ_i и h_i , $i = \overline{1,4}$ ($g_1 = \varphi_1 \oplus h_1$, $g_2 = \varphi_2 \oplus h_2$, $g_3 = \varphi_3 \oplus h_3$, $g_4 = \varphi_4 \oplus h_4$), то и сложность логической записи (число конъюнкций и букв в них) зависит от формируемых значений функций на выходах блока преобразования.

Функции h_1, h_2, h_3 и h_4 формируются путем подбора значений на основе эвристического подхода последовательно при рассмотрении каждой строки, задающей работу устройства (см. табл. 2). При этом требуется горизонтально разделить таблицу пополам и рассматривать заполнение либо строк с номерами 0—7, либо строк с номерами 8—15. Так, заполнив первую половину значений функций h_1, h_2, h_3 и h_4 (строки 0—7), вторую половину заполняют путем занесения противоположных значений в строки 8—15. В рассматриваемом примере значения функций h_1, h_2, h_3 и h_4 в строках 0—7 заполнены с учетом возможности минимизации функций g_1, g_2, g_3 и g_4 .

В табл. 2 в последних четырех графах приведены тестовые комбинации, формируемые на входах элементов преобразования. Анализ данных граф показывает, что для всех элементов преобразования формируются полные множества тестовых комбинаций. Если какая-то из тестовых комбинаций для элементов преобразования не формируется, потребуется коррекция значений функций h_1, h_2, h_3 и h_4 , которая выполняется „точно“. Способ коррекции описан в [37].

Шаг 3. Расчет логических выражений для функций g_1, g_2, g_3 и g_4 . Используется любой из методов оптимизации логических функций. В рассматриваемом примере функции оптимизировались методом Карно. При этом не производилась оптимизация функций как системы. В реальных приложениях оптимизация осуществляется программно по известным методам. Полученные функции имеют следующий вид:

$$g_1 = \overline{x_2} \overline{x_4} \vee \overline{x_2} x_3 \vee x_1 \overline{x_2} x_4 \vee x_1 x_2 x_3;$$

* В целях уменьшения сложности технической реализации каждой из функций в ряде случаев можно использовать и две оставшиеся комбинации 2/4-кода. Выбор доопределяемого кодового слова индивидуален для каждого рассматриваемого устройства.

$$\begin{aligned}
 g_2 &= \overline{x_1 x_2 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_2 x_3}; \\
 g_3 &= \overline{x_1 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}; \\
 g_4 &= \overline{x_1 x_3 x_4} \vee \overline{x_1 x_3 x_4}.
 \end{aligned}$$

Далее устройство реализуется в выбранном элементном базисе.

Оценим сложность технической реализации самопроверяемого устройства. В качестве метрики используем число входов внутренних элементов простейшего базиса [35]. Для каждой из реализуемых блоком контрольной логики функций имеем следующие значения показателя сложности технической реализации: $L(g_1)=14$, $L(g_2)=16$, $L(g_3)=25$, $L(g_4)=8$. Сложность реализации блока контрольной логики оценивается величиной $L(G(x))=63$.

Для сравнения при аналогичной оптимизации функций, реализуемых объектом диагностирования, получаем

$$\begin{aligned}
 f_1 &= \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_2 x_4}; \\
 f_2 &= \overline{x_1 x_2 x_4} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4}; \\
 f_3 &= \overline{x_1 x_2 x_3} \vee \overline{x_2 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}; \\
 f_4 &= \overline{x_1 x_4} \vee \overline{x_2 x_4} \vee \overline{x_3 x_4} \vee \overline{x_1 x_3}; \\
 f_5 &= \overline{x_2 x_3 x_4} \vee \overline{x_1 x_3} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2}; \\
 f_6 &= \overline{x_1 x_2 x_4} \vee \overline{x_2 x_3} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_2 x_4}; \\
 f_7 &= \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}; \\
 f_8 &= \overline{x_1 x_2 x_4} \vee \overline{x_3 x_4} \vee \overline{x_2 x_3} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_2 x_3 x_4}.
 \end{aligned}$$

Сложность технической реализации каждой из функций определяется как $L(f_1)=12$, $L(f_2)=21$, $L(f_3)=16$, $L(f_4)=12$, $L(f_5)=14$, $L(f_6)=15$, $L(f_7)=25$, $L(f_8)=19$; сложность реализации блока основной логики составляет $L(F(x))=134$.

Определим сложность технической реализации стандартной части СВК. Для элементов XOR показатель $L(XOR)=6$; в схеме сжатия их четыре: $L(CC)=24$. В модуле преобразования функций их также четыре: $L(МПФ)=24$.

Для тестера 2/4-кода показатель $L(2/4-TSC)=12$; для модуля сжатия парафазных сигналов $L(TRC)=12$. В схеме компаратора их четыре: $L(5TRC1)=48$.

Таким образом, сложность технической реализации самопроверяемого устройства определяется величиной

$$\begin{aligned}
 L(F(x)+СВК) &= L(F(x)) + L(G(x)) + L(CC) + L(МПФ) + L(2/4-TSC) + L(5TRC1) = \\
 &= 134 + 63 + 24 + 24 + 12 + 48 = 305.
 \end{aligned}$$

Для сравнения — при использовании метода дублирования [11, 12, 16] была получена следующая оценка в выбранной метрике:

$$L(D) = 2L(F(x)) + 7L(TRC) + 8L(NOT) = 268 + 84 + 8 = 360,$$

где $L(NOT)$ — сложность технической реализации инвертора.

Для рассматриваемого примера сложность технической реализации самопроверяемого устройства, реализованного по гибридной структуре (см. рис. 2) с СВК согласно рис. 6, а, в выбранной метрике составляет 84,72 % от сложности технической реализации устройства по методу дублирования.

Характеристики обнаружения ошибок на выходах блока $F(x)$ определяются особенностями его технической реализации. В [27] приведен пример, показывающий эффективность предлагаемого подхода, однако для реальных устройств потребуется моделирование неисправностей заданного класса.

Заключение. При синтезе СВК для логических устройств автоматики и вычислительной техники использование двух диагностических параметров позволяет значительно улучшить характеристики обнаружения ошибок на выходах устройств без специальных преобразований структур и выделения групп выходов по определенному признаку. При этом необходимо отметить, что по структуре организации СВК по двум диагностическим параметрам не всегда можно синтезировать устройство, имеющее сложность, меньшую, чем при использовании метода дублирования. Это также необходимо учитывать при выборе способа реализации самопроверяемого устройства.

Достоинством предложенной структуры организации СВК является возможность учета индивидуальных особенностей исходного устройства (структуры, конфигурации элементов и связей, распространения ошибок на выходы и т.д.), а недостатком — высокая вычислительная сложность для реализации процедур доопределения значений.

Дальнейшие исследования представленной гибридной структуры организации СВК могут быть направлены на экспериментальное подтверждение эффективности ее применения, а также на использование разнообразных избыточных кодов, позволяющих формировать самодвойственные функции путем доопределения значений на выходах модуля преобразования. Представляется интересным также вопрос фиксации кратных неисправностей и оценки эффективности самого подхода в условиях редкой смены входных комбинаций. Такой режим работы свойственен системам критического применения [38, 39].

Применение для контроля логических схем гибридной структуры с контролем вычислений по двум диагностическим параметрам — перспективный, но недостаточно исследованный подход к организации самопроверяемых цифровых устройств и систем, который может оказаться эффективным на практике.

СПИСОК ЛИТЕРАТУРЫ

1. Ubar R., Raik J., Vierhaus H.-T. Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference, Hershey — N. Y.: IGI Global, 2011. 578 p.
2. Дрозд А. В., Харченко В. С., Антощук С. Г., Дрозд Ю. В., Дрозд М. А., Сулима Ю. Ю. Рабочее диагностирование безопасных информационно-управляющих систем / Под ред. А. В. Дрозда и В. С. Харченко. Харьков: Нац. аэрокосм. ун-т им. Н. Е. Жуковского „ХАИ“, 2012. 614 с.
3. Drozd O., Antoniuk V., Nikul V., Drozd M. Hidden faults in FPGA-built digital components of safety-related systems // Proc. of the 14th Intern. Conf. on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET), Lviv-Slavsko, Ukraine, 20—24 Febr. 2018. P. 805—809. DOI: 10.1109/TCSET.2018.8336320.
4. Drozd O., Perebeinos I., Martynyuk O., Zashcholkin K., Ivanova O., Drozd M. Hidden Fault Analysis of FPGA Projects for Critical Applications // Proc. of the IEEE Intern. Conf. on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET), Lviv-Slavsko, Ukraine, 25—29 Febr. 2020. Paper 142. DOI: 10.1109/TCSET49122.2020.235591.
5. Пархоменко П. П., Согомонян Е. С. Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратурные средства). М.: Энергоатомиздат, 1981. 320 с.
6. Согомонян Е. С., Слабаков Е. В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 208 с.
7. Mitra S., McCluskey E. J. Which Concurrent Error Detection Scheme to Choose? // Proc. of Intern. Test Conf. Atlantic City, NJ, 03—05 Oct. 2000. P. 985—994. DOI: 10.1109/TEST.2000.894311.
8. Багдади А. А. А., Хаханов В. И., Литвинова Е. И. Методы анализа и диагностирования цифровых устройств (аналитический обзор) // Автоматизированные системы управления и приборы автоматики. 2014. № 166. С. 59—74.
9. Piestrak S. J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. 111 p.

10. *Gangopadhyay D., Reyhani-Masoleh A.* Multiple-Bit Parity-Based Concurrent Fault Detection Architecture for Parallel CRC Computation // *IEEE Trans. on Computers.* 2016. Vol. 65, iss. 7. P. 2143—2157. DOI: 10.1109/TC.2015.2479617.
11. *Сапожников В. В., Сапожников Вл. В., Ефанов Д. В.* Коды с суммированием для систем технического диагностирования. Т. 1. Классические коды Бергера и их модификации. М.: Наука, 2020. 383 с.
12. *Сапожников В. В., Сапожников Вл. В., Ефанов Д. В.* Коды с суммированием для систем технического диагностирования. Т. 2. Взвешенные коды с суммированием. М.: Наука, 2021. 455 с.
13. *Bayat-Sarmadi S., Hasan M. A.* On Concurrent Detection of Errors in Polynomial Basis Multiplication // *IEEE Trans. on Very Large Scale Integration (VLSI) Systems.* 2007. Vol. 15. P. 413—426. DOI: 10.1109/TVLSI.2007.893659.
14. *Qiu W., Zhang X., Li H., Wang Z., Zhang Y., Zheng Z.* Concurrent All-Cell Error Detection in Semi-Systolic Multiplier Using Linear Codes // *Applied Mathematics and Information Sciences.* 2013. Vol. 7, N 3. P. 947—954.
15. *Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y.* Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications // *Proc. of the 15th IEEE East-West Design and Test Symp. (EWDTS'2017), Novi Sad, Serbia, Sept. 29 — Oct. 2, 2017.* P. 25—28. DOI: 10.1109/EWDTS.2017.8110065.
16. *Сапожников В. В., Сапожников Вл. В., Ефанов Д. В.* Коды Хэмминга в системах функционального контроля логических устройств. СПб: Наука, 2018. 151 с.
17. *Гессель М., Дмитриев А. В., Сапожников В. В., Сапожников Вл. В.* Самотестируемая структура для функционального обнаружения отказов в комбинационных схемах // *Автоматика и телемеханика.* 1999. № 11. С. 162—174.
18. *Гессель М., Дмитриев А. В., Сапожников В. В., Сапожников Вл. В.* Обнаружение неисправностей в комбинационных схемах с помощью самодвойственного контроля // *Автоматика и телемеханика.* 2000. № 7. С. 140—149.
19. *Efanov D., Sapozhnikov V., Sapozhnikov Vl., Osadchy G., Pivovarov D.* Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // *Proc. of the 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, 13—16 Sept., 2019.* P. 136—143. DOI: 10.1109/EWDTS.2019.8884398.
20. *Ефанов Д. В., Сапожников В. В., Сапожников Вл. В., Пивоваров Д. В.* Метод функционального контроля комбинационных логических устройств на основе самодвойственного дополнения до равновесных кодов // *Электронное моделирование.* 2020. Т. 42, № 3. С. 27—52. DOI: 10.15407/emodel.42.03.027.
21. *Sogomonyan E. S., Gössel M.* Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs // *J. of Electronic Testing: Theory and Applications.* 1993. Vol. 4, iss. 4. P. 267—281. DOI: 10.1007/BF00971975.
22. *Busaba F. Y., Lala P. K.* Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // *J. of Electronic Testing: Theory and Applications.* 1994. Iss. 1. P. 19—28. DOI: 10.1007/BF00971960.
23. *Matrosova A. Yu., Ostanin S. A.* Self-Checking Synchronous Sequential Circuit Design for Unidirectional Error // *Proc. of the IEEE European Test Workshop (ETW'98), Sitges, Barcelona, Spain, 27—29 May 1998.*
24. *Morosow A., Saposhnikov V. V., Saposhnikov Vl. V., Goessel M.* Self-Checking Combinational Circuits with Unidirectionally Independent Outputs // *VLSI Design.* 1998. Vol. 5, iss. 4. P. 333—345. DOI: 10.1155/1998/20389.
25. *Efanov D. V., Sapozhnikov V. V., Sapozhnikov Vl. V.* Organization of a Fully Self-Checking Structure of a Combinational Device Based on Searching for Groups of Symmetrically Independent Outputs // *Automatic Control and Computer Sciences.* 2020. Vol. 54, iss. 4. P. 279—290. DOI: 10.3103/S0146411620040045.
26. *Микони С. В.* Общие диагностические базы знаний вычислительных систем. СПб: СПИИРАН, 1992. 234 с.
27. *Efanov D. V., Pivovarov D. V.* The Hybrid Structure of a Self-Dual Built-In Control Circuit for Combinational Devices with Pre-Compression of Signals and Checking of Calculations by Two Diagnostic Parameters // *Proc. of the 19th IEEE East-West Design & Test Symp. (EWDTS'2021), Batumi, Georgia, 10—13 Sept., 2021.* P. 200—206. DOI: 10.1109/EWDTS52692.2021.9581019.
28. *Efanov D. V., Sapozhnikov V. V., Sapozhnikov Vl. V.* Organization of Testing of Combinational Devices Based on Boolean Complement to Constant-Weight “1-out-of-4” Code with Signal Compression // *Automatic Control and Computer Sciences.* 2021. Vol. 55, iss. 2. P. 113—124. DOI: 10.3103/S014641162102005X.

29. Ефанов Д. В., Сапожников В. В., Сапожников Вл. В. Организация схем встроенного контроля на основе метода логического дополнения с предварительным преобразованием рабочих функций в контрольные векторы кодов Бергера // Информационные технологии. 2021. Т. 27, № 6. С. 306—313. DOI: 10.17587/it.27.306-313.
30. Nikolos D. Self-Testing Embedded Two-Rail Checkers // Ch. 7 in OnLine Testing for VLSI. 1998. P. 69—79. DOI: 10.1007/978-1-4757-60-69-9_7.
31. Сапожников В. В., Сапожников Вл. В., Гессель М. Самодвойственные дискретные устройства. СПб: Энергоатомиздат, 2001. 331 с.
32. Сапожников В. В., Сапожников Вл. В., Валиев Р. Ш. Синтез самодвойственных дискретных систем. СПб: Элмор, 2006. 220 с.
33. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking. Dordrecht: Springer Science+Business Media B.V., 2008. 184 p.
34. Carter W. C., Duke K. A., Schneider P. R. Self-Checking Error Checker for Two-Rail Coded Data / United States Patent N 747533, 1971. Jan. 26.
35. Сапожников В. В., Сапожников В. В. Самопроверяемые дискретные устройства. СПб: Энергоатомиздат, 1992. 224 с.
36. Ефанов Д. В., Сапожников В. В., Сапожников Вл. В., Осадчий Г. В. Синтез схем встроенного контроля на основе метода логического дополнения с предварительным сжатием сигналов рабочих функций // Вестник Томск. гос. ун-та. Управление, вычислительная техника и информатика. 2021. № 1. С. 97—115. DOI: 10.17223/19988605/54/12.
37. Efanov D. V., Sapozhnikov V. V., Sapozhnikov Vl. V., Pivovarov D. V. Synthesis of Built-in Self-Test Control Circuits Based on the Method of Boolean Complement to Constant-Weight 1-out-of-n Codes // Automatic Control and Computer Sciences. 2019. Vol. 53, iss. 6. P. 481—491. DOI: 10.3103/S014641161906004X.
38. Drozd A., Kharchenko V., Antoshchuk S., Sulima J., Drozd M. Checkability of the Digital Components in Safety-Critical Systems: Problems and Solutions // Proc. of the 9th IEEE East-West Design & Test Symp. (EWDTS'2011), Sevastopol, Ukraine, 2011. P. 411—416. DOI: 10.1109/EWDTS.2011.6116606.
39. Сапожников Вл. В. Синтез систем управления движением поездов на железнодорожных станциях с исключением опасных отказов. М.: Наука, 2021. 229 с.

Сведения об авторах

Дмитрий Викторович Ефанов

— д-р техн. наук, доцент; Российский университет транспорта, кафедра автоматизации, телемеханики и связи на железнодорожном транспорте; Санкт-Петербургский политехнический университет Петра Великого, Высшая школа транспорта Института машиностроения, материалов и транспорта; профессор; E-mail: TrES-4b@yandex.ru

Дмитрий Вячеславович Пивоваров

— канд. техн. наук; Петербургский государственный университет путей сообщения Императора Александра I, кафедра автоматизации и телемеханики на железных дорогах; ст. преподаватель; E-mail: pivovarov.d.v.spb@gmail.com

Поступила в редакцию 02.02.22; одобрена после рецензирования 28.04.22; принята к публикации 31.05.22.

REFERENCES

1. Ubar R., Raik J., Vierhaus H.-T. *Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source)*, Information Science Reference, Hershey, NY, IGI Global, 2011, 578 p.
2. Drozd A.V., Kharchenko V.S., Antoshchuk S.G., Drozd Yu.V., Drozd M.A., Sulima Yu.Yu. *Rabocheye diagnostirovaniye bezopasnykh informatsionno-upravlyayushchikh sistem* (Working Diagnostics of Safe Information and Control Systems), Khar'kov, 2012, 614 p. (in Russ.)
3. Drozd O., Antoniuk V., Nikul V., Drozd M. *Proceedings of the 14th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET)*, Lviv-Slavsko, Ukraine, February 20—24, 2018, pp. 805—809, DOI: 10.1109/TCSET.2018.8336320.
4. Drozd O., Perebeinos I., Martynyuk O., Zashcholkin K., Ivanova O., Drozd M. *Proceedings of the IEEE International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET)*, February 25—29, 2020, Lviv-Slavsko, Ukraine, paper 142, DOI: 10.1109/TCSET49122.2020.235591.

5. Parkhomenko P.P., Sogomonyan E.S. *Osnovy tekhnicheskoy diagnostiki. Optimizatsiya algoritmov diagnostirovaniya, apparaturnye sredstva* (Basics of Technical Diagnostics. Optimization of Algorithms of Diagnosing, Hardware Means), Moscow, 1981, 320 p. (in Russ.)
6. Sogomonyan E.S., Slabakov E.V. *Samoproveryaemye ustroystva i otkazoustoychivye sistemy* (The Self-Checked Devices and Failure-Safe Systems), Moscow, 1989, 208 p. (in Russ.)
7. Mitra S., McCluskey E.J. *Proceedings of International Test Conference*, 2000, USA, Atlantic City, NJ, October 03–05 2000, pp. 985–994, DOI: 10.1109/TEST.2000.894311.
8. Baghdadi A.A.A., Khakhanov V.I., Litvinova E.I. *Automated control systems and automation devices*, 2014, no. 166, pp. 59–74. (in Russ.)
9. Piestrak S.J. *Design of Self-Testing Checkers for Unidirectional Error Detecting Codes*, Wrocław, Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
10. Gangopadhyay D., Reyhani-Masoleh A. *IEEE Transactions on Computers*, 2016, no. 7(65), pp. 2143–2157, DOI: 10.1109/TC.2015.2479617.
11. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody s summirovaniyem dlya sistem tekhnicheskogo diagnostirovaniya. T. 1. Klassicheskiye kody Bergera i ikh modifikatsii* (Summed Codes for Technical Diagnostic Systems. Vol. 1. Classical Berger Codes and Their Modifications), Moscow, 2020, 383 p. (in Russ.)
12. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody s summirovaniyem dlya sistem tekhnicheskogo diagnostirovaniya. T. 2. Vzvshennyye kody s summirovaniyem* (Summed Codes for Technical Diagnostic Systems. Vol. 2. Weighted Codes with Summation), Moscow, 2021, 455 p. (in Russ.)c.
13. Bayat-Sarmadi S., Hasan M.A. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2007, vol. 15, pp. 413–426, DOI: 10.1109/TVLSI.2007.893659.
14. Qiu W., Zhang X., Li H., Wang Z., Zhang Y., Zheng Z. *Applied Mathematics & Information Sciences*, 2013, no. 3(7), pp. 947–954.
15. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. *Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTs'2017)*, Novi Sad, Serbia, September 29–October 2, 2017, pp. 25–28, DOI: 10.1109/EWDTs.2017.8110065.
16. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody Khemminga v sistemakh funktsional'nogo kontrolya logicheskikh ustroystv* (Hamming Codes in Logic Devices Functional Control Systems), St. Petersburg, 2018, 151 p. (in Russ.)
17. Gessel M., Dmitriev A.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Automation and Remote Control*, 1999, no. 11(60), pp. 1653–1663.
18. Gessel' M., Dmitriev A.V., Sapozhnikov V.V., Sapozhnikov VI.A. *Automation and Remote Control*, 2000, no. 7(61), pp. 1192–1200.
19. Efanov D., Sapozhnikov V., Sapozhnikov VI., Osadchy G., Pivovarov D. *Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTs'2019)*, Batumi, Georgia, September 13–16, 2019, pp. 136–143, DOI: 10.1109/EWDTs.2019.8884398.
20. Efanov D.V., Sapozhnikov V.V., Sapozhnikov VI.V., Pivovarov D.V. *Electronic modeling*, 2020, no. 3(42), pp. 27–52, DOI: 10.15407/emodel.42.03.027.
21. Sogomonyan E.S., Gössel M. *Journal of Electronic Testing: Theory and Applications*, 1993, no. 4(4), pp. 267–281, DOI: 10.1007/BF00971975.
22. Busaba F.Y., Lala P.K. *Journal of Electronic Testing: Theory and Applications*, 1994, no. 1, pp. 19–28, DOI: 10.1007/BF00971960.
23. Matrosova A.Yu., Ostanin S.A. *Proceedings of the IEEE European Test Workshop (ETW'98)*, May 27–29, 1998, Sitges, Barcelona, Spain.
24. Morosow A., Saposhnikov V.V., Saposhnikov VI.V., Goessel M. *VLSI Design*, 1998, no. 4(5), pp. 333–345, DOI: 10.1155/1998/20389.
25. Efanov D.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Automatic Control and Computer Sciences*, 2020, no. 4(54), pp. 279–290, DOI: 10.3103/S0146411620040045.
26. Mikoni S.V. *Obshchiye diagnosticheskiye bazy znaniy vychislitel'nykh sistem* (General Diagnostic Knowledge Bases of Computing Systems), St. Petersburg, 1992, 234 p. (in Russ.)
27. Efanov D.V., Pivovarov D.V. *Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTs'2021)*, Batumi, Georgia, September 10–13, 2021. P. 200–206. DOI: 10.1109/EWDTs52692.2021.9581019.
28. Efanov D.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Automatic Control and Computer Sciences*, 2021, no. 2(55), pp. 113–124, DOI: 10.3103/S014641162102005X.
29. Efanov D.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Information Technologies*, 2021, no. 6, pp. 306–313, DOI: 10.17587/it.27.306-313.
30. Nikolos D. *Chapter 7 in On-Line Testing for VLSI*, 1998, pp. 69–79, DOI 10.1007/978-1-4757-60-69-9_7.
31. Sapozhnikov V.V., Sapozhnikov VI.V. Gessel M. *Samodvoystvennyye diskretnyye ustroystva* (Self-Dual Discrete Devices), St. Petersburg, 2001, 331 p. (in Russ.)
32. Sapozhnikov V.V., Sapozhnikov VI.V., Valiev R.Sh. *Sintez samodvoystvennykh diskretnykh sistem* (Synthesis of Self-Dual Discrete Systems), St. Petersburg, 2006, 220 p. (in Russ.)
33. Gössel M., Ocheretny V., Sogomonyan E., Marienfeld D. *New Methods of Concurrent Checking: Edition 1*, Dordrecht, Springer Science+Business Media B.V., 2008, 184 p.
34. Patent US747533, *Self-Checking Error Checker for Two-Rail Coded Data*, W.C. Carter, K.A. Duke, P.R. Schneider, Priority July 25, 1968, Published Jan. 26, 1971.
35. Sapozhnikov V.V., Sapozhnikov VI.V. *Samoproveryaemye diskretnyye ustroystva* (The Self-Checked Discrete Devices), St. Petersburg, 1992, 224 p. (in Russ.)
36. Efanov D.V., Sapozhnikov V.V., Sapozhnikov VI.V., Osadchy G.V. *Vestnik Tomskogo gosudarstvennogo universite-*

- ta Upravlenie vychislitel'naya tekhnika i informatika* (Tomsk State University Journal of Control and Computer Science), 2021, no. 1, pp. 97–115, DOI: 10.17223/19988605/54/12. (in Russ.)
37. Efanov D.V., Sapozhnikov V.V., Sapozhnikov V.I., Pivovarov D.V. *Automatic Control and Computer Sciences*, 2019, no. 6(53), pp. 481–491, DOI: 10.3103/S014641161906004X.
38. Drozd A., Kharchenko V., Antoshchuk S., Sulima J., Drozd M. *Proceedings of 9th IEEE East-West Design & Test Symposium (EWDTS'2011)*, Sevastopol, Ukraine, 2011, pp. 411–416, DOI: 10.1109/EWDTS.2011.6116606.
39. Sapozhnikov V.I. *Sintez sistem upravleniya dvizheniyem poyezdov na zheleznodorozhnykh stantsiyakh s isklyucheniym opasnykh otkazov* (Synthesis of Control Systems for the Movement of Trains at Railway Stations with the Exclusion of Dangerous Failures), Moscow, 2021, 229 p. (in Russ.)

Data on authors

- Dmitry V. Efanov** — Dr. Sci., Associate Professor; Russian University of Transport, Department of Automation, Remote Control, and Communications on Railway Transport; Peter the Great St. Petersburg Polytechnic University, Higher School of Transport of the Institute of Machinery, Materials and Transport; Professor;
E-mail: TrES-4b@yandex.ru
- Dmitry V. Pivovarov** — PhD; Emperor Alexander I St. Petersburg State Transport University, Department of Automation and Remote Control on Railways; Senior Lecturer;
E-mail: pivovarov.d.v.spb@gmail.com

Received 02.02.22; approved after reviewing 28.04.22; accepted for publication 31.05.22.