
СИСТЕМНЫЙ АНАЛИЗ, УПРАВЛЕНИЕ И ОБРАБОТКА ИНФОРМАЦИИ

SYSTEM ANALYSIS, CONTROL, AND INFORMATION PROCESSING

УДК 004.052.42+681.518.5
DOI: 10.17586/0021-3454-2023-66-5-355-372

СИНТЕЗ САМОПРОВЕРЯЕМЫХ ВЫЧИСЛИТЕЛЬНЫХ УСТРОЙСТВ НА ОСНОВЕ ПОЛНОЙ СИСТЕМЫ ОСОБЫХ ГРУПП ВЫХОДОВ ОБЪЕКТА ДИАГНОСТИРОВАНИЯ

Д. В. ЕФАНОВ

*Российский университет транспорта, Москва, Россия,
Санкт-Петербургский политехнический университет Петра Великого, Санкт-Петербург, Россия
TrES-4b@yandex.ru*

Аннотация. Обсуждаются особенности синтеза схем встроенного контроля устройств автоматики и вычислительной техники при известной структуре объекта диагностирования. Представлено полное множество особых групп выходов, которые характеризуются каким-либо диагностическим параметром. Выделение особых групп выходов позволяет осуществлять выбор кода для построения схемы встроенного контроля с учетом возможностей обнаружения ошибок конкретной кратностью и определенного вида. Представлен способ построения схемы встроенного контроля, подразумевающий анализ всех подмножеств выходов объекта диагностирования, классификацию их по принадлежности к какой-либо особой группе выходов, а также последующее покрытие всех выходов особыми группами с выбором наилучшего по критерию структурной избыточности способа покрытия с указанием конкретных кодов для контроля вычислений. Предложенный способ в ряде случаев может быть эффективен при организации схем встроенного контроля и позволяет синтезировать самопроверяемое устройство даже в случае, когда этого невозможно добиться применением метода дублирования.

Ключевые слова: самопроверяемое устройство, схема встроенного контроля, контроль вычислений, особая группа выходов, коды с обнаружением отдельных видов ошибок

Ссылка для цитирования: Ефанов Д. В. Синтез самопроверяемых вычислительных устройств на основе полной системы особых групп выходов объекта диагностирования // Изв. вузов. Приборостроение. 2023. Т. 66, № 5. С. 355—372. DOI: 10.17586/0021-3454-2023-66-5-355-372.

SYNTHESIS OF SELF-CHECKING COMPUTING DEVICES BASED ON A COMPLETE SYSTEM OF SPECIAL GROUPS OF THE DIAGNOSTIC OBJECT OUTPUTS

D. V. Efanov

*Russian University of Transport, Moscow, Russia,
Peter the Great St. Petersburg Polytechnic University, St. Petersburg, Russia
TrES-4b@yandex.ru*

Abstract. Features of concurrent error-detection circuit synthesis for a known diagnostic object structure are discussed. A complete set of special groups of outputs that characterize them by some diagnostic parameter is presented. Separation of special groups of outputs allows to select a code for building an integrated control circuit, taking into account the possibility of detecting errors with a specific multiplicity and a certain type. A method for constructing an integrated control circuit is proposed, which involves an analysis of all subsets of the diagnostic object outputs, their classification by belonging to any special group of outputs, as well as the subsequent coverage of all outputs by special groups with the choice of the best coverage method by the criterion of structural redundancy, indicating specific codes to control the calculations. The proposed method is assumed to be effective in several cases of organizing built-in control circuits and to allow synthesizing a self-checking device even when this cannot be achieved by using the duplication method.

Keywords: self-checking device, built-in control circuit, calculation control, special group of outputs, codes with certain type error detection

© Ефанов Д. В., 2023

For citation: Efanov D. V. Synthesis of self-checking computing devices based on a complete system of special groups of the diagnostic object outputs. *Journal of Instrument Engineering*. 2023. Vol. 66, N 5. P. 355—372 (in Russian). DOI: 10.17586/0021-3454-2023-66-5-355-372.

Введение. Для реализации самопроверяемых цифровых устройств используются, в том числе, схемы встроенного контроля (СВК), которые позволяют контролировать вычисления на выходах объектов диагностирования [1—6].

Синтез СВК в общем случае осуществляется с использованием двух подходов. При первом подходе подразумевается отсутствие у разработчика какой-либо информации об объекте диагностирования $F(x)$ и сам объект рассматривается как некоторый „черный ящик“ с входами $x_1, x_2, \dots, x_{t-1}, x_t$ и выходами $f_1, f_2, \dots, f_{m-1}, f_m$. В этом случае для организации СВК применяется метод дублирования, основанный на применении модульной избыточности в процессе синтеза самопроверяемого устройства. Исходное устройство $F(x)$ снабжается копией (либо устройством с иной структурой, вычисляющим такие же функции), а результаты вычислений на одноименных выходах обоих устройств сравниваются с помощью самопроверяемого компаратора [7]. Этот подход универсален и позволяет реализовать СВК без привязки к структуре объекта $F(x)$ и к какой-либо модели неисправности. Однако он имеет и недостатки, главные из которых заключаются в том, что не во всех случаях удастся обеспечить полную самопроверяемость СВК при высокой вносимой структурной избыточности (конечное устройство по показателям структурной избыточности зачастую превосходит исходное в 3-4 раза [8]). При втором подходе подразумевается наличие у разработчика информации о структуре объекта и наиболее вероятных неисправностях. Это позволяет учитывать данные как о количестве искажаемых выходов при неисправностях элементов внутренней структуры устройства $F(x)$, так и о конкретных допустимых видах ошибок (по числу сочетаний искажений нулевых и единичных значений на выходах). Исключается необходимость „прямого“ дублирования и создается возможность путем применения кодовых методов синтезировать более простые самопроверяемые цифровые устройства, чем при использовании дублирования [9, 10].

В ряде случаев информация о структуре объекта и возможность использования ее при синтезе СВК позволяет реализовать самопроверяемые устройства с весьма низкой избыточностью (до 50 % вносимой структурной избыточности). Такой подход зачастую упрощает и процедуру обеспечения полной самопроверяемости СВК. Недостаток же заключается в покрытии только определенных, заранее оговариваемых, неисправностей, соответствующих каким-либо конкретным моделям неисправностей. При этом, естественно, они покрывают реальное множество физических дефектов и сбоев с некоторой вероятностью (ее можно зафиксировать на этапе разработки устройства с учетом используемой элементной базы).

При синтезе СВК используются методы теории информации и кодирования, а именно проводятся параллели между каналом связи и выходами объекта диагностирования и контрольных устройств в СВК: выходы объектов отождествляются с кодовыми векторами, между которыми устанавливаются определенные зависимости. К примеру, при использовании метода дублирования выходам объекта $F(x)$ в соответствие ставится информационный вектор, а выходам дополнительного устройства — контрольный вектор той же длины, значения разрядов которого получают, используя правила вычисления контрольных разрядов для одного из известных кодов с повторением [11]. Использование равномерных двоичных кодов с меньшей избыточностью позволяет исключить применение альтернативного устройства с m выходами для контроля вычислений на выходах объекта диагностирования и сократить число выходов дополнительного блока до некоторой величины k ($k < m$). Это приводит и к уменьшению сложности тестера кода в СВК [9, 10].

Учитывая особенности структуры объекта диагностирования $F(x)$, можно построить СВК по определенным правилам, так как в общем случае не исключены различные сочетания не только искажаемых значений на выходах объекта, но и видов этих искажений.

В настоящей статье обсуждаются особенности синтеза СВК с выделением групп выходов, контролепригодных по определенным диагностическим параметрам. Представлено полное множество особых групп выходов, а также предложен подход к организации СВК с анализом всех возможных особых групп выходов и выбором наилучшего способа их контроля для реальных цифровых устройств.

Система особых групп выходов. Рассмотрим частный случай цифровых устройств — комбинационные безызбыточные схемы (сами рассуждения касаются и более широкого класса устройств). В качестве модели неисправностей остановимся на анализе только одной из них — модели одиночных константных неисправностей выходов внутренних логических элементов (*stuck-at faults*) [12]. Тем не менее результаты могут быть применены и к некоторым другим моделям неисправностей.

Рассмотрим устройство $F(x)$ с t входами и m выходами. Физические дефекты и разнообразные помехи вызывают неисправности (сбои и устойчивые отказы) в элементах внутренней структуры устройства $F(x)$, которые распространяются по путям к выходам $f_1, f_2, \dots, f_{m-1}, f_m$, вызывая на них искажения $0 \rightarrow 1$ либо $1 \rightarrow 0$. Возникает ошибка в вычислениях. Число искажаемых выходов в векторе $\langle f_m f_{m-1} \dots f_2 f_1 \rangle$ называется *кратностью d ошибки*.

Ошибки могут быть однократными, или одиночными, при $d=1$, и многократными — при $d \geq 2$. На практике широко используется разделение ошибок на монотонные (однонаправленные) и немонотонные (разнонаправленные). Ошибка является *монотонной*, когда все искажения на выходах имеют вид $0 \rightarrow 1$ либо $1 \rightarrow 0$. Если наблюдаются искажения обоих видов, то ошибка является *немонотонной*.

Используя данную классификацию, приведем известные из научной литературы в данной предметной области понятия об особых группах выходов устройств [1].

Определение 1. *Подмножество выходов устройства образует группу независимых выходов (Н-группу), если при возникновении любой неисправности из заданного класса в элементах внутренней структуры устройства искажается значение только одного выхода из этой группы.*

Существуют методы синтеза самопроверяемых СВК, при которых выделяются Н-группы. В каждой такой группе возможно возникновение только одиночной ошибки, что и используется при выборе способа организации СВК. В этом случае применяются коды паритета для контроля возникающих ошибок. Если структуру устройства $F(x)$ изменять нельзя, то вычисления функций в каждой Н-группе выходов контролируются с помощью кода паритета. Выходы же отдельных СВК подключаются ко входам самопроверяемой схемы сжатия, функционирующей в парафазной логике [13]. Если же в структуру устройства $F(x)$ допускается внесение изменений (ресинтез), то может быть применен подход, связанный с преобразованием его структуры в такую, при которой все выходы образуют единую Н-группу [1].

Определение 2. *Подмножество выходов устройства образует группу монотонно независимых выходов (МН-группу), если при возникновении любой неисправности из заданного класса в элементах внутренней структуры устройства либо искажается значение только одного выхода из этой группы, либо при искажении значений сразу же на нескольких выходах из группы возникает монотонная ошибка.*

Выделение МН-групп выходов осуществляется аналогично выделению Н-групп. Каждая МН-группа может контролироваться на основе любого кода, обладающего свойством обнаружения любых монотонных ошибок в информационных векторах [14—16]. Наиболее часто упоминаемым среди таких кодов является классический код Бергера [17]. Известны и способы

преобразования структур контролируемых устройств в устройства с единой МН-группой выходов [18—20].

Основой классификации ошибок на выходах цифровых устройств является возможность организации СВК с обнаружением ошибок определенного вида. Так как при организации СВК выходы объекта диагностирования $F(x)$ отождествляются с кодовым вектором $\langle f_m f_{m-1} \dots f_2 f_1 \rangle$, при выделении видов ошибок могут рассматриваться особенности их обнаружения двоичными избыточными кодами.

В [21] предложено разделять немонотонные ошибки на два подвида — симметричные и асимметричные. Ошибка является *симметричной*, если при ее возникновении имеется одинаковое количество искажений $0 \rightarrow 1$ и $1 \rightarrow 0$. Если же число искажений $0 \rightarrow 1$ не равно числу искажений $1 \rightarrow 0$, то ошибка называется *асимметричной*.

Возникновение данной классификации немонотонных ошибок объясняется тем, что у широко используемых классических кодов Бергера все информационные векторы с одинаковым числом единиц (весом) имеют одинаковые контрольные векторы. Поэтому необнаруживаемой может быть только симметричная ошибка [9]. Асимметричные же ошибки обнаруживаются кодами Бергера всегда. В исследованиях 1980—90-х гг. данное свойство никак не учитывалось и не обсуждалось. Однако число асимметричных ошибок значительно превышает число симметричных ошибок при количестве выходов $m > 4$ [21]. Использование этой особенности кодов Бергера позволяет уменьшить сложность технической реализации СВК по сравнению с выделением только МН-групп выходов, что и предложено в работах [22, 23].

Определение 3. Подмножество выходов устройства образует группу монотонно и асимметрично независимых выходов (МАН-группу), если при возникновении любой неисправности из заданного класса в элементах внутренней структуры устройства либо искажается значение только одного выхода из этой группы, либо при искажении значений сразу на нескольких выходах из группы возникает монотонная либо асимметричная ошибка.

При построении СВК сначала целесообразно выделить МН-группы, а затем расширить получаемые подмножества до МАН-групп выходов. Это позволяет увеличить число выходов в группах и осуществить полное покрытие выходов меньшим их количеством.

Полная классификация ошибок на выходах цифровых устройств и в кодовых словах представлена на рис. 1, а примеры ошибок — на рис. 2 [21].

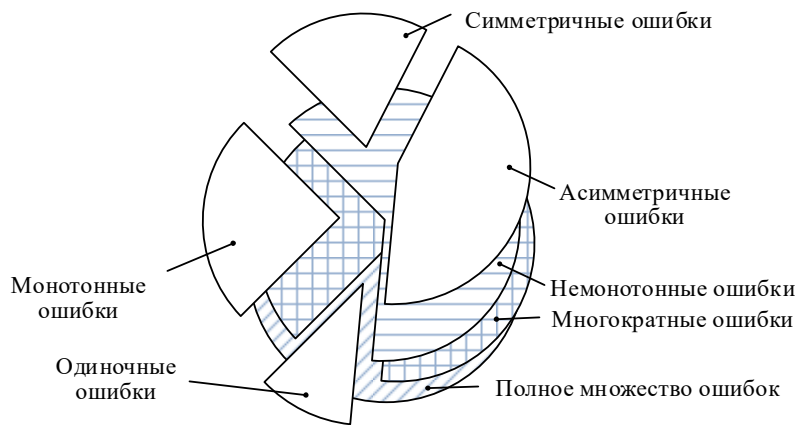


Рис. 1

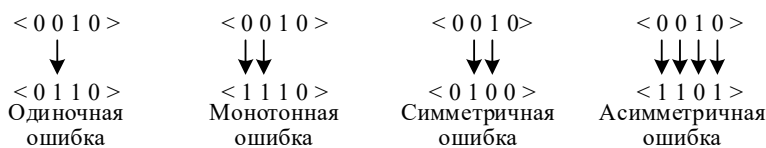


Рис. 2

Двоичные коды крайне разнообразны по своим характеристикам. Возникает задача формирования полной классификации групп выходов устройств, позволяющей на практике анализировать все возможные сочетания выходов устройства и „покрывать“ их кодами с различными характеристиками обнаружения ошибок — другими словами, выделять *контроле-пригодные группы выходов*.

При поиске Н-группы выходов не учитывается вид ошибки, возникающей на выходах выделенной группы. Однако из теории информации и кодирования известно большое количество кодов, обнаруживающих не только одиночные ошибки, но и ошибки бóльшей кратностью. Обобщим понятие Н-групп выходов.

Определение 4. Подмножество выходов устройства образует группу δ -независимых выходов (H^δ -группу), если при возникновении любой неисправности из заданного класса в элементах внутренней структуры устройства искажается значение на $t^ \leq \delta$ ($t^* \leq t$) выходах из этой группы.*

Н-группа выходов является частным случаем H^δ -группы при $\delta=1$, т.е. является H^1 -группой. К примеру, в [24] использовано понятие H^2 -группы выходов, вычисления на которых контролируются с помощью кодов, обнаруживающих любые ошибки кратностью $d=1$ и $d=2$. В этой же работе предложена типовая структура организации СВК, подразумевающая выделение H^1 -, H^2 -, МН- и МАН-групп выходов устройства и контроль сформированных на них значений с использованием отдельных классов кодов, обнаруживающих ошибки определенного вида и конкретной кратностью.

Определение 5. Подмножество выходов устройства образует группу v -монотонно независимых выходов (MH^v -группу), если при возникновении любой неисправности из заданного класса в элементах внутренней структуры устройства либо искажается значение только одного выхода из этой группы, либо при искажении значений сразу на нескольких выходах из группы возникает монотонная ошибка кратностью, не превышающей $d=v$.

МН-группа согласно определению 5 может быть обозначена как MH^{m+1} -группа, так как обнаруживаются любые монотонные ошибки кратностью $d < m+1$.

Определение 6. Подмножество выходов устройства образует группу симметрично независимых выходов (CH -группу), если при возникновении любой неисправности из заданного класса в элементах внутренней структуры устройства либо искажается значение только одного выхода из этой группы, либо при искажении значений сразу же на нескольких выходах из группы возникает симметричная ошибка.

Определение 7. Подмножество выходов устройства образует группу σ -симметрично независимых выходов (CH^σ -группу), если при возникновении любой неисправности из заданного класса в элементах внутренней структуры устройства либо искажается значение только одного выхода из этой группы, либо при искажении значений сразу на нескольких выходах из группы возникает симметричная ошибка кратностью, не превышающей $d=\sigma$.

Аналогично МН-группе, CH -группа может быть также обозначена как CH^{m+1} -группа.

Определение 8. Подмножество выходов устройства образует группу асимметрично независимых выходов (AH -группу), если при возникновении любой неисправности из заданного класса в элементах внутренней структуры устройства либо искажается значение только одного выхода из этой группы, либо при искажении значений сразу же на нескольких выходах из группы возникает асимметричная ошибка.

Определение 9. Подмножество выходов устройства образует группу α -асимметрично независимых выходов (AH^α -группу), если при возникновении любой неисправности из заданного класса в элементах внутренней структуры устройства либо искажается значение только одного выхода из этой группы, либо при искажении значений сразу на нескольких выходах из группы возникает асимметричная ошибка кратностью, не превышающей $d=\alpha$.

АН-группа может быть также обозначена как AH^{m+1} -группа.

Возможны и комбинации групп выходов, образующиеся при их расширении: $МАН^{b/\alpha}$ -, $МСН^{b/\sigma}$ - и $АСН^{a/\sigma}$ -группы. Если формируется группа выходов, не допускающая никаких видов искажений, то это — просто группа независимых выходов. На рис. 3 приведены все варианты образования особых групп выходов.

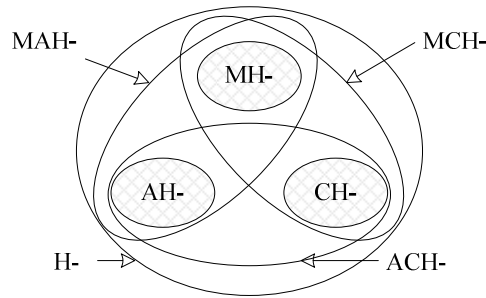


Рис. 3

Согласно трудам по теории синтеза самопроверяемых СВК, например [1, 14—16, 18—20, 22—24], основными являются H^δ -, MH^v - и $MAN^{v/\alpha}$ -группы (как правило, без ограничения кратности). Выделение таких групп выходов связано с особенностями организации контроля вычислений.

Двоичные коды для контроля вычислений в особых группах выходов. В табл. 1 приведены особые группы выходов, а также наименования кодов, обнаруживающих ошибки в данных группах, и примеры соответствующих кодов.

Таблица 1

Группа	Тип кода, обнаруживающего ошибки в группе выходов	Пример кода
<i>Особые группы выходов с выделением вида допустимых ошибок</i>		
МН	UED	$S(m,k), C_{m/r}$
MH^v	UED^v	$SM(m,k), RSM(m,k), v < M$
АН	AED	$S(m,k), C_{m/r}$
AN^α	AED^α	$SM(m,k), RSM(m,k), \alpha < M+2$
СН	SED	$D(m,m)$ — коды с повторением
CH^σ	SED^σ	$SWC(m,k), H(m,k), \sigma < 4$
МАН	UAED	$S(m,k), C_{m/r}$
$MAN^{v/\alpha}$	$UAED^{v/\alpha}$	$SM(m,k), RSM(m,k), v < M, \alpha < M+2$
МСН	USED	$D(m,m)$
$MCH^{v/\sigma}$	$USED^{v/\sigma}$	$SWC(m,k), H(m,k), v < 3, \sigma < 4$
АСН	ASED	$D(m,m)$
$ACH^{a/\sigma}$	$ASED^{a/\sigma}$	$SWC(m,k), H(m,k), a < 3, \sigma < 4$
<i>Особые группы выходов с выделением кратностей допустимых ошибок</i>		
Н	I	$P(m,k)$
H^δ	I^δ	$P(m,k), \delta=1; SWC(m,k), H(m,k), \delta=2; Perm(m,k), m < 10, \delta=2; WT(2^i), \delta=m-1$

Вычисления значений на выходах H^δ -групп контролируются с помощью (m,k,δ) -кодов (m и k — количество информационных и контрольных разрядов соответственно), обнаруживающих любые ошибки кратностью $d \leq \delta$. Приведем некоторые их примеры. К $(m,k,1)$ -кодам относятся коды паритета ($P(m,k)$ -коды) [25] и любые помехозащищенные коды (коды паритета имеют наиболее простые кодеры с одним контрольным разрядом, что определяет их приоритет перед остальными кодами). К $(m,k,2)$ -кодам относятся коды Хэмминга $H(m,k)$ [26] и их модификации — коды с суммированием без использования операции переноса $SWC(m,k)$ [27] и перестановочные коды $Perm(m,k)$ до значения $m < 10$ [28]. Причем коды с суммированием без переноса имеют наиболее простые реализации кодеров среди всех трех $(m,k,2)$ -кодов, что также целесообразно учитывать при синтезе СВК. Известны также и коды с обнаружением

любых ошибок кратностью $d < m$. Такие коды описаны, например, в [8] и обозначены как $WT(2^i)$ -коды.

MH^v -группы контролируются с помощью так называемых $UED(m, k)$ -кодов, обнаруживающих любые монотонные ошибки, и $UED^v(m, k)$ -кодов, обнаруживающих любые монотонные ошибки кратностью до $d = v$. К $UED(m, k)$ -кодам относятся классические коды Бергера $S(m, k)$ [17] и равновесные коды $C_{m/r}$ [29]. К $UED^v(m, k)$ -кодам относятся, например, классические модульные коды с суммированием — $SM(m, k)$ -коды при $v < M$ и модифицированные модульные коды с суммированием — $RSM(m, k)$ -коды при $v < M$, где M — модуль, используемый при построении кода [9].

$MAH^{v/\alpha}$ -группы контролируются с помощью так называемых $UAED(m, k)$ -кодов. Данные коды обнаруживают как любые монотонные, так и любые асимметричные ошибки в информационных векторах. Также могут быть использованы $UAED^{v/\alpha}(m, k)$ -коды, обнаруживающие монотонные ошибки кратностью до $d < v$ и все асимметричные ошибки кратностью до $d < \alpha$. К $UAED(m, k)$ -кодам относятся те же классические коды Бергера и равновесные коды. К $UAED^{v/\alpha}(m, k)$ -кодам относятся, например, классические модульные и модифицированные модульные коды с суммированием — $SM(m, k)$ - и $RSM(m, k)$ -коды при $v < M$ и $\alpha < M + 2$ [9].

Отметим, что в научной литературе не выделяются коды, ориентированные на обнаружение любых симметричных ошибок (известны только коды с обнаружением симметричных ошибок кратностью до определенной величины). В [30] установлена нижняя граница числа разрядов в контрольных векторах, необходимых для наделения кода свойством обнаружения любых симметричных ошибок:

$$k < \left\lceil \log_2 C_m^{\lfloor m/2 \rfloor} \right\rceil,$$

где $\lceil \dots \rceil$ — целое сверху от вычисляемого значения, $\lfloor \dots \rfloor$ — целое снизу.

Отсюда следует, что для диапазона значений $m = 3 \dots 8$ число $k \geq m - 1$, а для диапазона $m = 9 \dots 20$ — $k \geq m - 2$. Таким образом, коды с обнаружением любых симметричных ошибок (SED-коды) весьма избыточны и близки по данному показателю к кодам с повторением. Добавление SED-коду свойства обнаружения монотонных или асимметричных ошибок может только увеличить избыточность кода, но не уменьшить ее. Таким образом, все коды SED-, USED-, ASED-типов имеют избыточность, близкую к дублированию, что не позволяет использовать их эффективно при решении задач построения систем с обнаружением неисправностей. На первый план в этом случае выходит дублирование с контролем вычислений значений на одноименных выходах различных устройств, реализующих аналогичные функции.

Можно сделать следующий вывод: на этапе проектирования СВК могут быть выделены особые группы выходов и подобраны коды, обладающие особенностями обнаружения ошибок определенного вида и конкретной кратностью. Отдельно следует рассматривать критерий, по которому будут выделяться группы выходов и коды с определенными характеристиками обнаружения ошибок.

Принципы выделения особых групп выходов. На практике для установления известных видов особых групп выходов используются следующие положения.

Для поиска групп независимых выходов необходимо проверить следующее утверждение [1].

Утверждение 1. Множество выходов устройства $\{f_{i_1}, f_{i_2}, \dots, f_{i_p}\}$, $i_1, i_2, \dots, i_p \in \{1, 2, \dots, m\}$, образует H -группу в случае, если для каждой пары выходов $\{f_{i_a}, f_{i_b}\}$, $a, b \in \{1, 2, \dots, p\}$, и для каждого элемента G_q схемы устройства выполняется условие

$$\frac{\partial f_{i_a}}{\partial y_q} \frac{\partial f_{i_b}}{\partial y_q} = 0, \quad (1)$$

где f_{i_a} и f_{i_b} — функции, реализуемые на соответствующих выходах устройства; y_q — функция, реализуемая на выходе конкретного элемента G_q , на котором проявляется ошибка, вызванная неисправностью (неисправности заданы конкретной моделью на этапе синтеза самопроверяемого устройства).

Напомним, что в данном случае рассматривается модель одиночных константных неисправностей выходов внутренних логических элементов структуры устройства.

Левая часть выражения (1) (произведение булевых производных) устанавливает входные комбинации, при поступлении которых на входы устройства одновременно искажаются оба выхода из пары $\{f_{i_a}, f_{i_b}\}$, $a, b \in \{1, 2, \dots, p\}$. Эти комбинации определяются из уравнения

$$\frac{\partial f_{i_a}}{\partial y_q} \frac{\partial f_{i_b}}{\partial y_q} = 1. \text{ Если таких комбинаций нет, т.е. выполняется условие (1), то выходы образуют}$$

Н-группу. Для элементов, не связанных путями с двумя и более выходами устройства, выражение (1) будет выполняться для любой пары выходов. Поэтому при проверке условия (1) могут рассматриваться не все элементы в структуре устройства, а только те, которые связаны путями с двумя и более его выходами.

Поиск Н-группы выходов осуществляется последовательно: от поиска пар групп независимых выходов на всем их множестве до расширения этих групп с числом выходов, равным трем и более. Во всех Н-группах каждая пара выходов должна удовлетворять условию (1).

Аналогично для установления того факта, что группа выходов является МН-группой, используется следующее утверждение [18, 19].

Утверждение 2. Множество выходов устройства $\{f_{i_1}, f_{i_2}, \dots, f_{i_p}\}$, $i_1, i_2, \dots, i_p \in \{1, 2, \dots, m\}$, образует МН-группу в случае, если для каждой пары выходов $\{f_{i_a}, f_{i_b}\}$, $a, b \in \{1, 2, \dots, p\}$, и для каждого элемента G_q схемы устройства выполняется условие

$$\frac{\partial f_{i_a}}{\partial y_q} \frac{\partial f_{i_b}}{\partial y_q} (f_{i_a} \oplus f_{i_b}) = 0. \quad (2)$$

Произведение булевых производных определяет входные комбинации, на которых одновременно искажаются выходы из пары $\{f_{i_a}, f_{i_b}\}$, $a, b \in \{1, 2, \dots, p\}$, а выражение в скобках определяет, совпали ли значения на выходах до их искажения (только при совпадении возможно возникновение монотонной ошибки). При поиске МН-групп выходов также можно исключить из рассмотрения логические элементы, связанные путями только с одним выходом устройства.

Поиск МН-группы выходов устройства осуществляется аналогично поиску Н-групп.

МН-группы могут быть расширены до МАН-групп, для поиска которых используется более сложное выражение, приведенное в [22].

В любом случае при определении особых групп выходов некоторого устройства используется последовательный анализ его выходов с расширением их числа в выбираемых подмножествах от 2 до m и устанавливается возможность возникновения ошибки того или иного вида.

Расширим этот подход для поиска всех особых групп выходов устройства.

Утверждение 3. Ошибка кратностью d на выходах $\{f_{i_1}, f_{i_2}, \dots, f_{i_d}\}$, $i_1, i_2, \dots, i_d \in \{1, 2, \dots, m\}$, вызванная неисправностью на выходе элемента G_q в структуре некоторого устройства, возникает при условии

$$U^d = \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_d}}{\partial y_q} \neq 0. \quad (3)$$

Произведение булевых производных в формуле (3) определяет условия, при которых на d выходах устройства будут возникать одновременные искажения. Если данное произведение не равно нулю, то существуют входные комбинации, на которых одновременно искажаются все выходы $\{f_{i_1}, f_{i_2}, \dots, f_{i_d}\}$, $i_1, i_2, \dots, i_d \in \{1, 2, \dots, m\}$.

Условие (3) должно проверяться для всех элементов G_q . Для упрощения процедуры поиска зависимых выходов предварительно исключают из полного множества элементов те из них, которые связаны с меньшим, чем d , числом путей, ведущих к выходам $\{f_{i_1}, f_{i_2}, \dots, f_{i_d}\}$, $i_1, i_2, \dots, i_d \in \{1, 2, \dots, m\}$.

Теорема 1. Множество выходов устройства $\{f_{i_1}, f_{i_2}, \dots, f_{i_p}\}$, $i_1, i_2, \dots, i_p \in \{1, 2, \dots, m\}$, $p \geq \delta + 1$, образует H^δ -группу, если для каждого из $C_p^{\delta+1}$ подмножеств, образованных $\delta + 1$ выходами, и для каждого элемента G_q выполняется условие

$$\frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_{\delta+1}}}{\partial y_q} = 0. \quad (4)$$

Доказательство теоремы 1 приведено в [31].

Теорема 2. Ошибка кратностью $d \geq 2$ на выходах $\{f_{i_1}, f_{i_2}, \dots, f_{i_d}\}$, $i_1, i_2, \dots, i_d \in \{1, 2, \dots, m\}$, вызванная неисправностью на выходе элемента G_q , проявляется при возникновении соответствующих входных комбинаций в следующем виде:

а) монотонной ошибки — в случае если

$$\left(\frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_d}}{\partial y_q} \right)_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^v} \bigvee_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^v} f_{i_1} f_{i_2} \dots f_{i_d} \neq 0, \quad (5)$$

где выражение W^v определяет множество выходных векторов с весами, равными нулю (их число равно C_d^0) и $r=d$ (их число равно C_d^d): $W^v = \{\bar{f}_{i_1} \bar{f}_{i_2} \dots \bar{f}_{i_d}; f_{i_1} f_{i_2} \dots f_{i_d}\}$;

б) симметричной ошибки — в случае если d — четное и если

$$\left(\frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_d}}{\partial y_q} \right)_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^\sigma} \bigvee_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^\sigma} f_{i_1} f_{i_2} \dots f_{i_d} \neq 0, \quad (6)$$

где выражение W^σ определяет множество выходных векторов с весами $r=d/2$ (их число равно $C_d^{d/2}$);

б) асимметричной ошибки — в случае если $d \geq 3$ и если

$$\left(\frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_d}}{\partial y_q} \right)_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^\alpha} \bigvee_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^\alpha} f_{i_1} f_{i_2} \dots f_{i_d} \neq 0, \quad (7)$$

где выражение W^α определяет множество выходных векторов с весами $r \neq 0$, $r \neq d/2$ и $r \neq d$ (их число определяется величиной $2^d - (C_d^0 + C_d^{d/2} + C_d^d)$).

Доказательство. Необходимость. Рассмотрим логический элемент G_q в структуре устройства с выходом y_q . Ошибка будет иметь кратность d в случае, если

$U^d = \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_d}}{\partial y_q} \neq 0$. Вид ошибки определяется значениями выходов $\{f_{i_1}, f_{i_2}, \dots, f_{i_d}\}$,

$i_1, i_2, \dots, i_d \in \{1, 2, \dots, m\}$, до искажения. При искажении значений на d выходах монотонная ошибка возникает только в случае, если все значения выходов были равными до искажения.

Множество W^v как раз содержит все такие векторы. При искажении значений на четном числе выходов (при четном d) симметричная ошибка возникает только в случае, если половина значений выходов равна нулю и половина — единице.

Множество W^σ включает в себя все такие векторы. Поскольку все ошибки подразделяются на одиночные, монотонные, симметричные и асимметричные, а в положении теоремы говорится об ошибках кратностью $d \geq 2$,

при искажении значений выходов $\{f_{i_1}, f_{i_2}, \dots, f_{i_d}\}$, $i_1, i_2, \dots, i_d \in \{1, 2, \dots, m\}$, все остальные варианты векторов, присутствующие в множестве W^α , определяют условия возникновения неравного числа искажений (количества нулей и единиц), т.е. условия возникновения асимметричных ошибок.

Достаточность. Кратность ошибки определяется только выражением

$U^d = \frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_d}}{\partial y_q} \neq 0$. Принадлежность к конкретному виду ошибок — только выражения-

ми $F^v = \bigvee_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^v} f_{i_1} f_{i_2} \dots f_{i_d}$, $F^\sigma = \bigvee_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^\sigma} f_{i_1} f_{i_2} \dots f_{i_d}$ и $F^\alpha = \bigvee_{f_{i_1} f_{i_2} \dots f_{i_d} \in W^\alpha} f_{i_1} f_{i_2} \dots f_{i_d}$ ■.

Из формул (1) — (7) непосредственно следует способ установления кратности и вида ошибок, возникающих на выходах цифровых устройств. Особые группы выходов устройства могут быть определены по следующим правилам.

Алгоритм 1. Последовательность выявления особых групп выходов.

Шаг 1. Рассматриваются все сочетания $\gamma \geq 2$ выходов устройства из полного их множества и образуются γ -группы выходов. Число рассматриваемых γ -групп выходов равно

$$\sum_{\gamma=2}^m C_m^\gamma = 2^m - m - 1.$$

Шаг 2. γ -группы ранжируются по возрастанию числа γ .

Шаг 3. Предполагается $\gamma^* = 2$.

Шаг 4. Условие (3) проверяется для всех $2 \leq d \leq \gamma^*$. Фиксируются и ранжируются в порядке возрастания значения d , для которых $U^d \neq 0$, — $D_h = \{d_1, d_2, \dots, d_h\}$.

Шаг 5. Выбирается первый элемент множества D_h : $d^* = d_1$.

Шаг 6. Проверяется условие (5), определяющее, является ли ошибка кратностью d^* монотонной.

Шаг 7. Если d — четное, то проверяется условие (6), определяющее, является ли ошибка кратностью d^* симметричной; если d — нечетное, то переход к следующему пункту.

Шаг 8. Проверяется условие (7), определяющее, является ли ошибка кратностью d^* асимметричной.

Шаг 9. Проверяется, рассмотрены ли все элементы множества D_h : если нет, то осуществляется переход к рассмотрению следующего элемента данного множества и повторение пп. 6—8; если да, то переход к следующему пункту.

Шаг 10. Предполагается $\gamma^* := \gamma^* + 1$.

Шаг 11. $\gamma^* = m$? Если нет, то переход к п. 4; если да, то переход к следующему пункту.

Шаг 12. Для каждой γ -группы фиксируются минимальные кратности обнаруживаемых ошибок каждого вида и определяется принадлежность к конкретной особой группе.

После реализации алгоритма все γ -группы выходов идентифицируются с какой-либо особой группой, либо устанавливается, что та или иная группа особой не является.

К примеру, определим все особые группы выходов для устройства, изображенного на рис. 4, при рассмотрении модели одиночной константной неисправности выходов внутренних логических элементов. Отметим также, что согласно [32, теорема 3] это позволит построить и самопроверяемое устройство относительно одиночных неисправностей на входах логических элементов, так как если неисправность элемента не вызывает на выходе схемы ошибки определенного типа, то не вызывает ошибки такого же типа и одиночная неисправность на входе этого же элемента. Кроме того, ограничимся поиском только H^δ -, MH^v - и $MAH^{v/a}$ -групп среди особых групп выходов. При организации СВК наиболее эффективно применение именно этих особых групп.

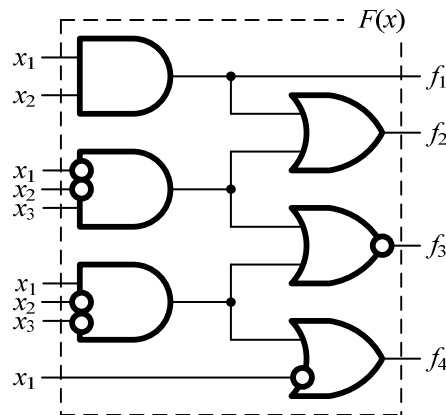


Рис. 4

Результаты исследования структуры заданного устройства приведены в табл. 2 и на рис. 5. На рис. 5 выделен каждый из вариантов выбора групп и их принадлежность к конкретной особой группе указана кружком.

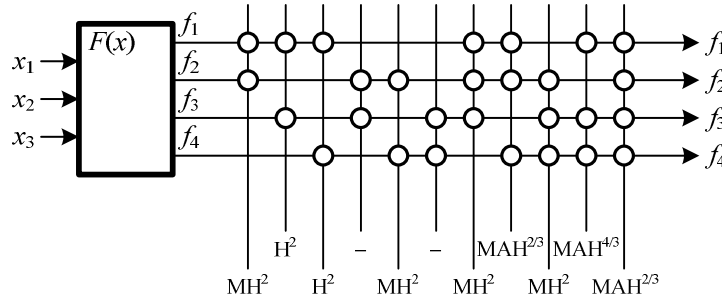


Рис. 5

Таблица 2

Группа	Выходы	Вид группы
A	f_1, f_2	MH^2
B	f_1, f_3	H^2
C	f_1, f_4	H^2
D	f_2, f_3	—
E	f_2, f_4	MH^2
F	f_3, f_4	—
G	f_1, f_2, f_3	MH^2
H	f_1, f_2, f_4	$MAH^{2/3}$
I	f_2, f_3, f_4	MH^2
J	f_1, f_3, f_4	$MAH^{4/3}$
K	f_1, f_2, f_3, f_4	$MAH^{2/3}$

Алгоритм 2. Правила синтеза СВК на основе выделения особых групп выходов.

Шаг 1. Определяется показатель структурной избыточности для устройства с СВК, реализованной по методу дублирования — L_D .

Шаг 2. Формируется таблица покрытий выходов устройства особыми группами.

Шаг 3. Определяются все варианты покрытий выходов устройства.

Шаг 4. Если какие-либо выходы устройства не вошли ни в одну особую группу, то они дублируются в СВК.

Шаг 5. Для каждого варианта покрытия подбираются коды, входящие в определенный класс.

Шаг 6. Определяется требуемое по выбранному критерию покрытие (например, по минимальному числу групп в покрытии или минимальному суммарному числу контрольных разрядов кодов, необходимых для реализации СВК для каждой особой группы).

Шаг 7. Производится синтез СВК для выбранного покрытия и выбранных кодов в требуемом элементном базисе.

Шаг 8. Проверяется, является ли СВК самопроверяемой относительно заданной модели неисправностей: если да, то переход к следующему пункту, в противном случае выбирается другой вариант покрытия.

Шаг 9. Определяется показатель структурной избыточности устройства с СВК — L .

Шаг 10. Проверяется $L < L_D$? Если да, то переход к следующему пункту, если нет, то осуществляется поиск покрытия, позволяющего достичь указанного неравенства.

Шаг 11. СВК построена.

Для приведенного выше примера (см. рис. 4) таблица покрытий выходов особыми группами имеет вид, представленный в табл. 3.

Таблица 3

Выход	Группа										
	A	B	C	D	E	F	G	H	I	J	K
f_1	×	×	×				×	×		×	×
f_2	×				×		×	×	×		×
f_3		×					×		×	×	×
f_4			×		×			×	×	×	×

Для получения всех вариантов покрытий используется метод Петрика [33]. Для этого составляется выражение вида конъюнкция дизъюнкций всех символов (наименований групп — см. табл. 3) для каждой строки (f_i), в графе для которых проставлен знак покрытия „×“. Далее выражение представляется в дизъюнктивной нормальной форме:

$$\begin{aligned}
 Q &= (A \vee B \vee C \vee G \vee H \vee J \vee K)(A \vee E \vee G \vee H \vee I \vee K) \& \\
 &\&(B \vee G \vee I \vee J \vee K)(C \vee E \vee H \vee I \vee J \vee K) = \\
 &= (A \vee G \vee H \vee K \vee BE \vee BI \vee CE \vee CI \vee JE \vee JI)(I \vee J \vee K \vee BC \vee BE \vee BH \vee GC \vee GE \vee GH) = \\
 &= AI \vee GI \vee HI \vee BI \vee CI \vee JI \vee AJ \vee GJ \vee HJ \vee JE \vee \\
 &\vee K \vee ABC \vee BE \vee HB \vee GC \vee GE \vee GH.
 \end{aligned}$$

Конечное выражение содержит все возможные варианты покрытия выходов рассматриваемого устройства особыми группами. Для приведенного примера их 17, при этом одно покрытие содержит только один символ, 15 покрытий — два символа и одно покрытие — три символа.

Для данного примера варианты покрытий сравним по критерию количества символов, что позволит выделить наименьшее число групп на множестве выходов. В данном случае покрытие K позволяет решить поставленную задачу. Покрытие K — это все выходы, образующие $MAN^{2/3}$ -группу. Вычисления в такой группе контролируются с помощью $UAED^{v/a}(m,k)$ -кода.

К множеству таких кодов относятся, например, коды $S4(4,2)$ и $S3(4,2)$. Для кода $S4(4,2)$ проще обеспечивается полная самопроверяемость кодера, поэтому его целесообразно выбрать для контроля заданной схемы.

Далее следовало бы проверить эффективность применения выбранного покрытия и кодов для контроля по сравнению с дублированием. Для рассматриваемого примера этого делать не будем, так как он демонстрирует только принцип выбора способа покрытия и способа организации СВК.

Представленный пример является элементарным. Однако для реальных устройств может существовать несколько вариантов покрытий, предполагающих использование кодов с одинаковым числом контрольных разрядов. Возникает проблема выбора такого покрытия, которое позволит построить наименьшую по сложности самопроверяемую СВК. При числе выходов m максимальное количество рассматриваемых групп определяется величиной

$$\sum_{\gamma=2}^m C_m^\gamma = 2^m - m - 1. \text{ Соответственно, число символов покрытия не будет превышать указанной}$$

величины. Из приведенного выражения следует, что количество вариантов сравнений определяется числом выходов устройства. Число же самих покрытий не может превышать вели-

чины $\sum_{j=1}^m C_{2^m-m}^j = 2^{2^m-m} - 1$. Это верхняя оценка. В реальности число покрытий будет существ-

венно меньше. Тем не менее отсюда следует главный недостаток рассматриваемого подхода: необходимо в каждом конкретном случае рассматривать возможность построения большого числа СВК, выбирая при этом наилучший вариант по сложности технической реализации, обеспечивающий к тому же реализацию самопроверяемого устройства. Здесь возникает задача поиска такого критерия по выбору покрытия, который позволит сократить число вычислительных процедур. К сожалению, эта задача пока остается нерешенной. На практике при большом числе способов покрытия выходов можно ограничиться выбором любого покрытия, дающего минимальное число особых групп, либо же любого, дающего минимальное суммарное число контрольных разрядов для всех кодов, обеспечивающих возможность синтеза самопроверяемого устройства (что и отмечено в алгоритме 2).

Обобщенная структура организации СВК на основе выделения особых групп выходов. Обобщенная структура организации СВК по особым группам выходов представлена на рис. 6. На схеме не показан вывод рабочих функций $f_1, f_2, \dots, f_{m-1}, f_m$ во внешние системы, а приведена только контрольная часть. В структуре организации СВК подразумевается выделение только H^δ -, MH^v - и $MAH^{v/a}$ -групп. Каждая особая группа контролируется на основе избыточного кода, обнаруживающего соответствующие виды и кратности ошибок, — I^δ -, $UAED^{v/a}$ и $UAED^{v/a}$ -кода. Такие типы кодов широко известны в литературе, их примеры даны в табл. 1 и приводятся в [9, 10]. Выходы же устройства $F(x)$, которые не входят ни в одно покрытие, дублируются в СВК.

Для каждой особой группы реализуется своя СВК с двумя контрольными выходами z^0 и z^1 , на которых формируется парафазный сигнал при отсутствии ошибок в вычислениях; нарушение парафазности говорит об ошибках в вычислениях на выходах объекта диагностирования либо одного из компонентов СВК. В целях получения одной группы контрольных выходов парафазные выходы отдельных СВК подключаются ко входам самопроверяемого компаратора TRC [7, 13].

Необходимо отметить следующую особенность представленной структуры. При построении отдельных СВК для особых групп выходов применяются два блока: блок контрольной логики $G(x)$ и полностью самопроверяемый тестер выбранного кода TSC [34, 35]. TSC для каждого кода имеет типовую структуру в выбранном элементном базисе и реализуется

по одному из известных методов, описанных, например, в [36, 37]. Блок $G(x)$ каждой СВК является уникальным по своей структуре и строится путем совместной оптимизации каскада, состоящего из подсхемы устройства $F(x)$, реализующей функции выделенной особой группы, и кодера выбранного кода [8]. Для снижения структурной избыточности СВК блоки $G(x)$ в отдельных схемах могут быть реализованы совместно. Также следует добавить, что при синтезе СВК может быть использован не только традиционный метод вычисления контрольных разрядов, но и метод логического дополнения (логической коррекции сигналов), позволяющий гораздо проще обеспечивать полную самопроверяемость СВК. Данный метод подробно описан в [20, 38, 39].

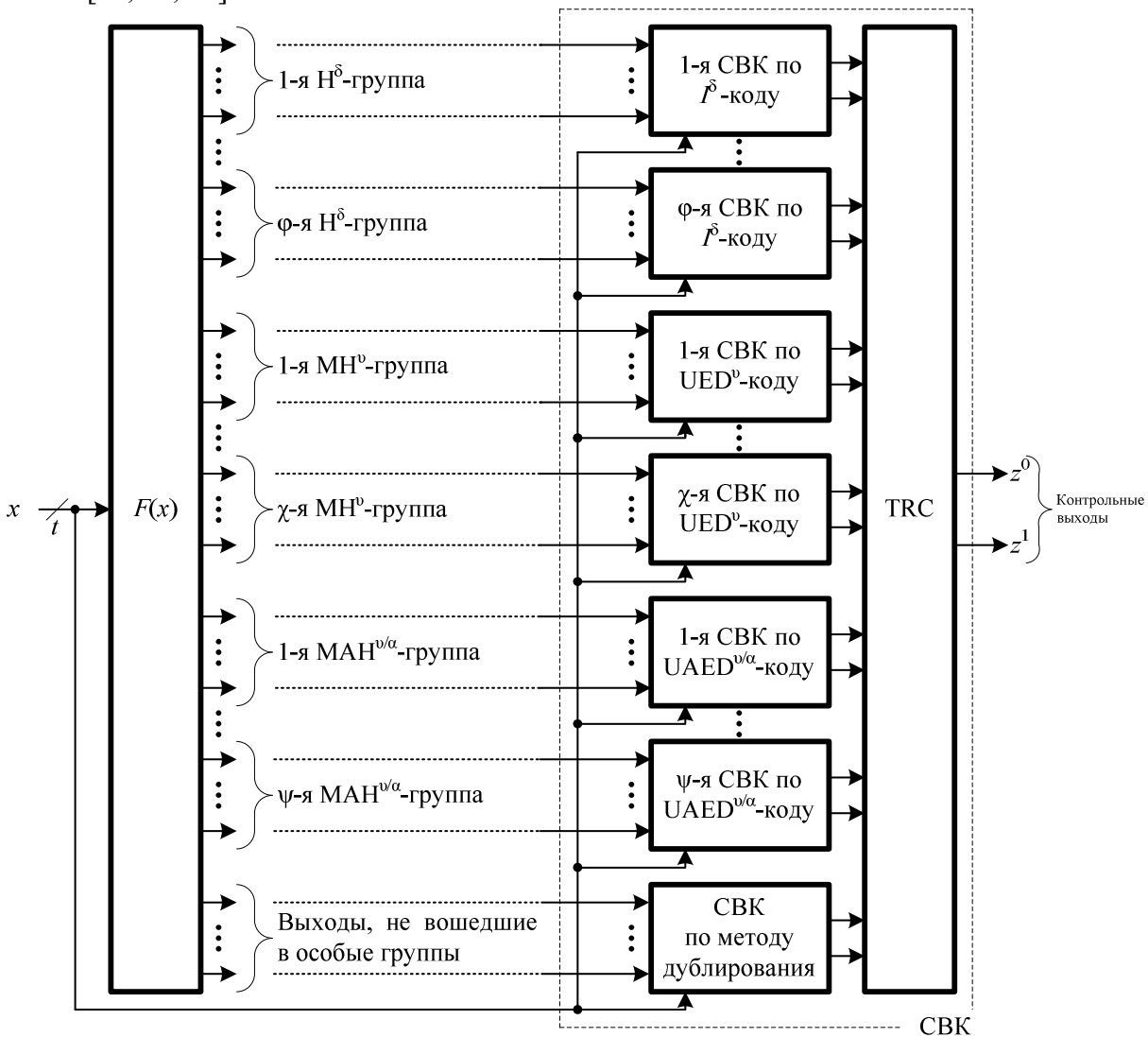


Рис. 6

Отметим, что представленная структура отличается от приведенной в [24] расширенным количеством групп (включены H^δ -, MH^ν - и $MAN^{\nu/\alpha}$ -группы) и позволяет синтезировать СВК не только по нескольким избыточным кодам, но и с учетом разных способов их построения. Кроме того, по сути, изменен сам подход к построению СВК. Ранее поиск и расширение групп производились, начиная с H -группы, а затем и MH - и MAN -групп. Теперь же рассматриваются любые возможности выделения особых групп выходов и определяются различные варианты покрытий выходов данными группами. Это существенно увеличивает число способов построения СВК для цифровых устройств.

Заключение. Представленный подход к организации СВК на основе выделения особых групп выходов объекта диагностирования существенно расширяет число вариантов построе-

ния полностью самопроверяемых устройств и позволяет широко использовать основные характеристики двоичных избыточных кодов. В свою очередь, выбор для каждой конкретной особой группы того или иного варианта кодирования дает возможность построения СВК с минимальной сложностью технической реализации. При этом за счет использования различных подходов к синтезу СВК можно добиться свойства самопроверяемости структуры даже в тех случаях, когда это невозможно при использовании дублирования. Важно также отметить, что при построении самопроверяемого устройства на основе выделения полного множества особых групп выходов могут рассматриваться и другие модели неисправностей.

Предложенный подход основывается на анализе структуры объекта диагностирования и возможностей влияния неисправностей на его выходы. Именно за счет этого удается снизить структурную избыточность СВК при сохранении свойства самопроверяемости. К сожалению, в этом кроется и недостаток подхода: требуется проводить вычисления для каждой неисправности из заданной модели, а число особых групп экспоненциально зависит от количества выходов объекта диагностирования. Также увеличение числа вычислительных процедур может возникнуть при большой сложности структуры самого объекта диагностирования (большом числе элементов и сложной конфигурации связей между ними, входами и выходами устройства). При современной мощности вычислительных систем практическим ограничением оказывается число выходов $m=30\dots35$. При большем числе выходов устройства $F(x)$ эффективными могут оказаться методы декомпозиции и реализации нескольких структур (см. рис. 6).

Рассмотренный подход носит общий характер и никак не ориентирован на какую-либо элементную базу, что делает его универсальным в смысле практического применения.

СПИСОК ЛИТЕРАТУРЫ

1. Согомонян Е. С., Слабаков Е. В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 208 с.
2. Микони С. В. Общие диагностические базы знаний вычислительных систем. СПб: СПИИРАН, 1992. 234 с.
3. Pradhan D. K. Fault-Tolerant Computer System Design. N. Y.: Prentice Hall, 1996. 560 p.
4. Lala P. K. Self-Checking and Fault-Tolerant Digital Design. San Francisco: Morgan Kaufmann Publ., 2001. 216 p.
5. Fujiwara E. Code Design for Dependable Systems: Theory and Practical Applications. John Wiley & Sons, 2006. 720 p.
6. Дрозд А. В., Харченко В. С., Антощук С. Г., Дрозд Ю. В., Дрозд М. А., Сулима Ю. Ю. Рабочее диагностирование безопасных информационно-управляющих систем / Под ред. А. В. Дрозда и В. С. Харченко. Харьков: НАУ им. Н. Е. Жуковского „ХАИ“, 2012. 614 с.
7. Nikolos D. Self-Testing Embedded Two-Rail Checkers // Chapter 7 in On-Line Testing for VLSI. 1998. P. 69—79. DOI 10.1007/978-1-4757-60-69-9_7.
8. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В., Дмитриев В. В. Новые структуры систем функционального контроля логических схем // Автоматика и телемеханика. 2017. № 2. С. 127—143.
9. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды с суммированием для систем технического диагностирования. Т. 1. Классические коды Бергера и их модификации. М.: Наука, 2020. 383 с.
10. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды с суммированием для систем технического диагностирования. Т. 2. Взвешенные коды с суммированием. М.: Наука, 2021. 455 с.
11. Кодирование информации (двоичные коды) / Н. Т. Березюк, А. Г. Андрущенко, С. С. Моцицкий, В. И. Глушков, М. М. Бенеша, В. А. Гаврилов; Под ред. Н. Т. Березюка. Харьков: Вища школа, 1978. 252 с.
12. Багдади А. А. А., Хаханов В. И., Литвинова Е. И. Методы анализа и диагностирования цифровых устройств (аналитический обзор) // Автоматизированные системы управления и приборы автоматики. 2014. № 166. С. 59—74.
13. Carter W. C., Duke K. A., Schneider P. R. Self-Checking Error Checker for Two-Rail Coded Data. Pat. 747533, US, Jan. 26, 1971.

14. *Sogomyan E. S., Gössel M.* Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs // *Journal of Electronic Testing: Theory and Applications*. 1993. Vol. 4, iss. 4. P. 267—281. DOI: 10.1007/BF00971975.
15. *Busaba F. Y., Lala P.K.* Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // *Journal of Electronic Testing: Theory and Applications*. 1994. Iss. 1. P. 19—28. – DOI: 10.1007/BF00971960.
16. *Matrosova A. Yu., Ostanin S. A.* Self-Checking Synchronous Sequential Circuit Design for Unidirectional Error // *Proc. of the IEEE European Test Workshop (ETW'98), Sitges, Barcelona, Spain, 27—29 May 1998*.
17. *Berger J. M.* A Note on Error Detecting Codes for Asymmetric Channels // *Information and Control*. 1961. Vol. 4, iss. 1. P. 68—73. DOI: 10.1016/S0019-9958(61)80037-5.
18. *Morosow A., Saposhnikov V. V., Saposhnikov Vl. V., Goessel M.* Self-Checking Combinational Circuits with Unidirectionally Independent Outputs // *VLSI Design*. 1998. Vol. 5, iss. 4. P. 333—345. DOI: 10.1155/1998/20389.
19. *Saposhnikov V. V., Morosov A., Saposhnikov Vl. V., Göessel M.* A New Design Method for Self-Checking Unidirectional Combinational Circuits // *Journal of Electronic Testing: Theory and Applications*. 1998. Vol. 12, iss. 1—2. P. 41—53. DOI: 10.1023/A:1008257118423.
20. *Göessel M., Ocheretny V., Sogomyan E., Marienfeld D.* *New Methods of Concurrent Checking*. Dordrecht: Springer Science+Business Media B.V., 2008. 184 p.
21. *Сапожников В. В., Сапожников Вл. В., Ефанов Д. В.* Классификация ошибок в информационных векторах систематических кодов // *Изв. вузов. Приборостроение*. 2015. Т. 58, № 5. С. 333—343. DOI: 10.17586/0021-3454-2015-58-5-333-343.
22. *Ефанов Д. В., Сапожников В. В., Сапожников Вл. В.* Условия обнаружения неисправности логического элемента в комбинационном устройстве при функциональном контроле на основе кода Бергера // *Автоматика и телемеханика*. 2017. № 5. С. 152—165.
23. *Efanov D. V., Sapozhnikov V. V., Sapozhnikov Vl. V.* Organization of a Fully Self-Checking Structure of a Combinational Device Based on Searching for Groups of Symmetrically Independent Outputs // *Automatic Control and Computer Sciences*. 2020. Vol. 54, iss. 4. P. 279—290. – DOI: 10.3103/S0146411620040045.
24. *Ефанов Д. В., Сапожников В. В., Сапожников Вл. В.* Синтез самопроверяемых комбинационных устройств на основе выделения специальных групп выходов // *Автоматика и телемеханика*. 2018. № 9. С. 79—94.
25. *Аксенова Г. П.* Метод синтеза схем встроенного контроля для автоматов с памятью // *Автоматика и телемеханика*. 1973. № 2. С. 109—116.
26. *Hamming R. W.* Error Detecting and Correcting Codes // *Bell System Technical Journal*. 1950. N 29 (2). P. 147—160.
27. *Sapozhnikov V., Sapozhnikov Vl., Efanov D., Dmitriev V.* Weighted Sum Code Without Carries – is an Optimum Code with Detection of Any Double Errors in Data Vectors // *Proc. of the 14th IEEE East-West Design & Test Symp. (EWDTS'2016), Yerevan, Armenia, Oct. 14—17, 2016*. P. 134—141. DOI: 10.1109/EWDTS.2016.7807686.
28. *Sapozhnikov V., Efanov D., Sapozhnikov Vl., Dmitriev V.* New Sum Code for Effective Detection of Double Errors in Data Vectors // *Proc. of the 13th IEEE East-West Design & Test Symp. (EWDTS'2015), Batumi, Georgia, Sept. 26—29, 2015*. P. 154—159. DOI: 10.1109/EWDTS.2015.7493123.
29. *Freiman C. V.* Optimal Error Detection Codes for Completely Asymmetric Binary Channels // *Information and Control*. 1962. Vol. 5, iss. 1. P. 64—71. DOI: 10.1016/S0019-9958(62)90223-1.
30. *Сапожников В. В., Сапожников Вл. В., Ефанов Д. В.* Коды с суммированием, обнаруживающие любые симметричные ошибки // *Электронное моделирование*. 2017. Т. 39, № 3. С. 47—60.
31. *Ефанов Д. В., Сапожников В. В., Сапожников Вл. В.* Модифицированные коды с суммированием взвешенных переходов в системах функционального контроля комбинационных схем // *Тр. Института системного программирования РАН*. 2017. Т. 29, № 5. С. 39—60. DOI: 10.15514/ISPRAS-2017-29(5)-3.
32. *Сапожников В. В., Сапожников Вл. В., Ефанов Д. В.* Обнаружение неисправностей в комбинационных логических схемах на основе их контроля по группам симметрично независимых выходов // *Электронное моделирование*. 2020. Т. 42, № 2. С. 3—23. DOI: 10.15407/emodel.42.02.003.
33. *Закревский А. Д., Поттосин Ю. В., Черемисина Л. Д.* *Логические основы проектирования дискретных устройств*. М.: Физматлит, 2007. 592 с.

34. Nicolaidis M., Zorian Y. On-Line Testing for VLSI – A Compendium of Approaches // Journal of Electronic Testing: Theory and Application. 1998. Vol. 12, iss. 1—2. P. 7—20. DOI: 10.1023/A:1008244815697.
35. Mitra S., McCluskey E. J. Which Concurrent Error Detection Scheme to Choose? // Proc. of Intern. Test Conf., Atlantic City, NJ, USA, 03—05 Oct. 2000, P. 985—994. DOI: 10.1109/TEST.2000.894311.
36. Сапожников В. В., Сапожников В. В. Самопроверяемые дискретные устройства. СПб: Энергоатомиздат, 1992. 224 с.
37. Piestrak S. J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. 111 p.
38. Гессель М., Морозов А. В., Сапожников В. В., Сапожников Вл. В. Логическое дополнение – новый метод контроля комбинационных схем // Автоматика и телемеханика. 2003. № 1. С. 167—176.
39. Гессель М., Морозов А. В., Сапожников В. В., Сапожников Вл. В. Контроль комбинационных схем методом логического дополнения // Автоматика и телемеханика. 2005. № 8. С. 161—172.

Сведения об авторе

Дмитрий Викторович Ефанов

— д-р техн. наук, профессор; Российский университет транспорта, кафедра автоматизации, телемеханики и связи на железнодорожном транспорте; Санкт-Петербургский политехнический университет Петра Великого, Высшая школа транспорта Института машиностроения, материалов и транспорта; профессор;
E-mail: TrES-4b@yandex.ru

Поступила в редакцию 19.11.2022; одобрена после рецензирования 08.12.2022; принята к публикации 20.03.2023.

REFERENCES

1. Sogomonyan E.S., Slabakov E.V. *Samoproveryaemye ustroystva i otkazoustoychivye sistemy* (The Self-Checked Devices and Failure-Safe Systems), Moscow, 1989, 208 p. (in Russ.)
2. Mikoni S.V. *Obshchiye diagnosticheskiye bazy znaniy vychislitel'nykh sistem* (General Diagnostic Knowledge Bases of Computing Systems) St. Petersburg, 1992, 234 p. (in Russ.)
3. Pradhan D.K. *Fault-Tolerant Computer System Design*, NY, Prentice Hall, 1996, 560 p.
4. Lala P.K. *Self-Checking and Fault-Tolerant Digital Design*, San Francisco, Morgan Kaufmann Publishers, 2001, 216 p.
5. Fujiwara E. *Code Design for Dependable Systems: Theory and Practical Applications*, John Wiley & Sons, 2006, 720 p.
6. Drozd A.V., Kharchenko V.S., Antoshchuk S.G., Drozd Yu.V., Drozd M.A., Sulima Yu.Yu. *Rabocheye diagnostirovaniye bezopasnykh informatsionno-upravlyayushchikh sistem* (Working Diagnostics of Safe Information and Control Systems), Khar'kov, 2012, 614 p. (in Russ.)
7. Nikolos D. *Chapter 7 in On-Line Testing for VLSI*, 1998, pp. 69–79, DOI 10.1007/978-1-4757-60-69-9_7.
8. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V., Dmitriev V.V. *Automation and Remote Control*, 2017, no. 2(78), pp. 300–312, DOI: <https://doi.org/10.1134/S0005117917020096>.
9. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody s summirovaniyem dlya sistem tekhnicheskogo diagnostirovaniya. T. 1. Klassicheskiye kody Bergera i ikh modifikatsii* (Summed Codes for Technical Diagnostic Systems. Vol. 1. Classical Berger Codes and Their Modifications), Moscow, 2020, 383 p. (in Russ.)
10. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody s summirovaniyem dlya sistem tekhnicheskogo diagnostirovaniya. T. 2. Vzveshennyye kody s summirovaniyem* (Summed Codes for Technical Diagnostic Systems. Vol. 2. Weighted Codes with Summation), Moscow, 2021, 455 p. (in Russ.)
11. Berezyuk N.T., Andrushchenko A.G., Moshchitskiy S.S., Glushkov V.I., Benesha M.M., Gavrilov V.A. *Kodirovaniye informatsii (dvoichnyye kody)* (Information Coding (Binary Codes)), Khar'kov, 1978, 252 p. (in Russ.)
12. Baghdadi A.A.A., Hahanov V.I., Litvinova E.I. *Management Information System and Devices*, 2014, no. 166, pp. 59–74. (in Russ.)
13. Patent US 747533, *Self-Checking Error Checker for Two-Rail Coded Data*, W.C. Carter, K.A. Duke, P.R. Schneider, Priority July 25, 1968, Published Jan. 26, 1971.
14. Sogomonyan E.S., Gössel M. *Journal of Electronic Testing: Theory and Applications*, 1993, no. 4(4), pp. 267–281, DOI: 10.1007/BF00971975.
15. Busaba F.Y., Lala P.K. *Journal of Electronic Testing: Theory and Applications*, 1994, no. 1, pp. 19–28, DOI: 10.1007/BF00971960.
16. Matrosova A.Yu., Ostanin S.A. *Proceedings of the IEEE European Test Workshop (ETW'98)*, May 27–29, 1998, Sitges, Barcelona, Spain.
17. Berger J.M. *Information and Control*, 1961, no. 1(4), pp. 68–73, DOI: 10.1016/S0019-9958(61)80037-5.
18. Morosov A., Saposhnikov V.V., Saposhnikov VI.V., Goessel M. *VLSI Design*, 1998, no. 5(4), pp. 333–345, DOI: 10.1155/1998/20389.
19. Saposhnikov V.V., Morosov A., Saposhnikov VI.V., Göessel M. *Journal of Electronic Testing: Theory and Applications*, 1998, no. 1-2(12), pp. 41–53, DOI: 10.1023/A:1008257118423.

20. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. *New Methods of Concurrent Checking*: Edition 1, Dordrecht, Springer Science+Business Media B.V., 2008, 184 p.
21. Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. *Journal of Instrument Engineering*, 2015, no. 5(58), pp. 333–343, DOI: 10.17586/0021-3454-2015-58-5-333-343. (in Russ.)
22. Efanov D.V., Sapozhnikov V.V., Sapozhnikov V.I. *Automation and Remote Control*, 2017, no. 5(78), pp. 891–901, DOI: <https://doi.org/10.1134/S0005117917050113>.
23. Efanov D.V., Sapozhnikov V.V., Sapozhnikov V.I. *Automatic Control and Computer Sciences*, 2020, no. 4(54), pp. 279–290, DOI: 10.3103/S0146411620040045.
24. Efanov D.V., Sapozhnikov V.V., Sapozhnikov V.I. *Automation and Remote Control*, 2018, no. 9(79), pp. 1609–1620 DOI: <https://doi.org/10.1134/S0005117918090060>.
25. Aksyonova G.P. *Automation and Remote Control*, 1973, no. 2(34), pp. 267–273.
26. Hamming R.W. *Bell System Technical Journal*, 1950, no. 2(29), pp. 147–160, MR0035935.
27. Sapozhnikov V., Sapozhnikov V.I., Efanov D., Dmitriev V. *Proceedings of 14th IEEE East-West Design & Test Symposium (EWDTS'2016)*, Yerevan, Armenia, October 14–17, 2016, pp. 134–141, DOI: 10.1109/EWDTS.2016.7807686.
28. Sapozhnikov V., Efanov D., Sapozhnikov V.I., Dmitriev V. *Proceedings of 13th IEEE East-West Design & Test Symposium (EWDTS'2015)*, Batumi, Georgia, September 26–29, 2015, pp. 154–159, DOI: 10.1109/EWDTS.2015.7493123.
29. Freiman C.V. *Information and Control*, 1962, no. 1(5), pp. 64–71, DOI: 10.1016/S0019-9958(62)90223-1.
30. Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. *Electronic modeling*, 2017, no. 3(39), pp. 37–60. (in Russ.)
31. Efanov D.V., Sapozhnikov V.V., Sapozhnikov V.I. *Trudy SPIIRAN (SPIIRAS Proceedings)*, 2017, no. 5(29), pp. 39–60, DOI: 10.15514/ISPRAS-2017-29(5)-3. (in Russ.)
32. Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. *Electronic modeling*, 2020, no. 2(42), pp. 3–23, DOI: 10.15407/emodel.42.02.003. (in Russ.)
33. Zakrevskiy A.D., Pottosin Yu.V., Cheremisina L.D. *Logicheskiye osnovy proyektirovaniya diskretnykh ustroystv (Logical Basis for Designing Discrete Devices)*, Moscow, 2007, 592 p. (in Russ.)
34. Nicolaidis M., Zorian Y. *Journal of Electronic Testing: Theory and Application*, 1998, no. 1–2(12), pp. 7–20, DOI: 10.1023/A:1008244815697.
35. Mitra S., McCluskey E.J. *Proceedings of International Test Conference*, 2000, USA, Atlantic City, NJ, October 03–05, 2000, pp. 985–994, DOI: 10.1109/TEST.2000.894311.
36. Sapozhnikov V.V., Sapozhnikov V.I. *Samoproveryaemye diskretnye ustroystva (The Self-Checked Discrete Devices)*, St. Petersburg, 1992, 224 p. (in Russ.)
37. Piestrak S.J. *Design of Self-Testing Checkers for Unidirectional Error Detecting Codes*, Wrocław, Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
38. Gessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov V.I. *Automation and Remote Control*, 2003, no. 1(64), pp. 153–161, DOI: <https://doi.org/10.1023/A:1021884727370>.
39. Goessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov V.I. *Automation and Remote Control*, 2005, no. 8, pp. 1336–1346.

Data on author

Dmitry V. Efanov

— Dr. Sci., Professor; Russian University of Transport, Department of Automation, Remote Control, and Communications on Railway Transport; Peter the Great St. Petersburg Polytechnic University, Higher School of Transport, Institute of Mechanical Engineering, Materials, and Transport; Professor; E-mail: TrES-4b@yandex.ru

Received 19.11.2022; approved after reviewing 08.12.2022; accepted for publication 20.03.2023.